



**Titre:** Techniques de conception de nouveaux circuits intégrés haute tension CMOS dédiés aux émetteurs ultrasoniques  
**Title:** tension CMOS dédiés aux émetteurs ultrasoniques

**Auteur:** Robert Chébli  
**Author:**

**Date:** 2007

**Type:** Mémoire ou thèse / Dissertation or Thesis

**Référence:** Chébli, R. (2007). Techniques de conception de nouveaux circuits intégrés haute tension CMOS dédiés aux émetteurs ultrasoniques [Thèse de doctorat, École Polytechnique de Montréal]. PolyPublie. <https://publications.polymtl.ca/8056/>  
**Citation:**

 **Document en libre accès dans PolyPublie**  
Open Access document in PolyPublie

**URL de PolyPublie:** <https://publications.polymtl.ca/8056/>  
**PolyPublie URL:**

**Directeurs de recherche:**  
**Advisors:**

**Programme:** Non spécifié  
**Program:**

UNIVERSITÉ DE MONTRÉAL

TECHNIQUES DE CONCEPTION DE NOUVEAUX CIRCUITS INTÉGRÉS  
HAUTE TENSION CMOS DÉDIÉS AUX ÉMETTEURS ULTRASONIQUES

ROBERT CHÉBLI

DÉPARTEMENT DE GÉNIE ÉLECTRIQUE  
ÉCOLE POLYTECHNIQUE DE MONTRÉAL

THÈSE PRÉSENTÉE EN VUE DE L'OBTENTION  
DU DIPLÔME DE PHILOSOPHIAE DOCTOR (Ph.D)  
(GÉNIE ÉLECTRIQUE)

JUILLET 2007

© Chébli Robert, 2007.



Library and  
Archives Canada

Bibliothèque et  
Archives Canada

Published Heritage  
Branch

Direction du  
Patrimoine de l'édition

395 Wellington Street  
Ottawa ON K1A 0N4  
Canada

395, rue Wellington  
Ottawa ON K1A 0N4  
Canada

*Your file    Votre référence*

*ISBN: 978-0-494-35509-1*

*Our file    Notre référence*

*ISBN: 978-0-494-35509-1*

#### NOTICE:

The author has granted a non-exclusive license allowing Library and Archives Canada to reproduce, publish, archive, preserve, conserve, communicate to the public by telecommunication or on the Internet, loan, distribute and sell theses worldwide, for commercial or non-commercial purposes, in microform, paper, electronic and/or any other formats.

The author retains copyright ownership and moral rights in this thesis. Neither the thesis nor substantial extracts from it may be printed or otherwise reproduced without the author's permission.

#### AVIS:

L'auteur a accordé une licence non exclusive permettant à la Bibliothèque et Archives Canada de reproduire, publier, archiver, sauvegarder, conserver, transmettre au public par télécommunication ou par l'Internet, prêter, distribuer et vendre des thèses partout dans le monde, à des fins commerciales ou autres, sur support microforme, papier, électronique et/ou autres formats.

L'auteur conserve la propriété du droit d'auteur et des droits moraux qui protègent cette thèse. Ni la thèse ni des extraits substantiels de celle-ci ne doivent être imprimés ou autrement reproduits sans son autorisation.

---

In compliance with the Canadian Privacy Act some supporting forms may have been removed from this thesis.

Conformément à la loi canadienne sur la protection de la vie privée, quelques formulaires secondaires ont été enlevés de cette thèse.

While these forms may be included in the document page count, their removal does not represent any loss of content from the thesis.

Bien que ces formulaires aient inclus dans la pagination, il n'y aura aucun contenu manquant.

  
**Canada**

UNIVERSITÉ DE MONTRÉAL

ÉCOLE POLYTECHNIQUE DE MONTRÉAL

Cette thèse intitulée :

TECHNIQUES DE CONCEPTION DE NOUVEAUX CIRCUITS INTÉGRÉS  
HAUTE TENSION CMOS DÉDIÉS AUX ÉMETTEURS ULTRASONIQUES

Présentée par : Robert Chébli

en vue de l'obtention du diplôme de : Philosophiae Doctor

a été dûment accepté par le jury d'examen constitué de :

M. AUDET Yves, Ph.D, président

M. SAWAN Mohamad, Ph.D, membre et directeur de recherche

M. KHOUAS , Abdelhakim, Ph.D, membre

M. AL-HADDAD Kamal, Ph.D, membre externe

## DÉDICACE

*À mes parents,*

*Mes frères et ma sœur*

*Je vous aime.*

## REMERCIEMENTS

Je tiens avant tout à remercier M. Mohamad SAWAN, professeur au département de génie électrique de L'École Polytechnique de Montréal, qui a bien voulu accepter de diriger ce travail et de m'avoir accueilli au sein de son équipe de recherche dans le Laboratoire de neurotechnologies Polystim, où il m'a été possible d'effectuer mes recherches dans des conditions excellentes et très appréciées.

Je tiens également à remercier M. Yves AUDET, professeur à l'École Polytechnique de Montréal, pour avoir bien voulu présider le jury de cette thèse, M. Kamal AL-HADDAD, professeur à l'École de technologie supérieure et M. Abdelhakim KHOUAS, professeur à l'École Polytechnique de Montréal, qui ont accepté de faire partie de ce jury.

J'aimerais aussi remercier les compagnies DALSA Semiconductor Inc. et ScanView Ltd. et plus particulièrement M. Rémi Meingan et M. Karim Menassa pour leur intervention et support financier de ce sujet, la Fondation de Polytechnique (LABRÈCHE-VIGER) et la chambre de commerce Canada-Liban pour m'avoir accordé des bourses d'excellence, et la Société Canadienne en Microélectronique (CMC Microsystems) et DALSA Semiconductor Inc. pour la fabrication des circuits intégrés et autres outils de prototypages.

Finalement, je tiens à remercier tous mes collègues et personnel de Polystim et GRM qui m'ont apporté tous leur amitié, support et encouragement tout le long de ce travail.

## RÉSUMÉ

De nos jours le diagnostic par des systèmes ultrasoniques est devenu essentiel dans tout traitement médical dans lequel l'exploration de l'image non invasive des parties du corps humain est requise. Les émetteurs de ces systèmes occupent beaucoup d'espaces et constituent des sources de bruit et de dissipation de puissance. Pour la conception des modules d'un tel émetteur, trois principales contraintes s'imposent: l'intégrabilité totale (portabilité), la faible consommation de puissance et la haute tension DC appliquée sur la grille des transistors. Généralement, un émetteur ultrasonique est constitué de divers composants discrets comme par exemple un convertisseur DC-DC de sortie 200 V, un amplificateur de puissance et une capacité supportant de la haute tension.

Nous proposons dans cette thèse une nouvelle topologie de convertisseurs DC-DC haute tension (High-Voltage Up-Converter - HVUC). Elle est constituée de cinq étages cascades de doubleur de tension de sorte que dans chaque étage un circuit élévateur de niveau de tension (Level-up-Shifter - LUS) est utilisé comme générateur d'horloge afin d'augmenter sa tension de sortie DC exponentiellement. L'augmentation de la tension DC d'un étage à un autre provoque un dépassement de la tension de claquage de la grille des transistors DMOS. Pour résoudre ce problème, une méthode basée sur la technique de grille flottante est adoptée.

De plus, une nouvelle topologie d'un convertisseur DC-DC à haute tension négative (NHVD) est proposée pour générer de hautes tensions variant entre -100 et +100 V nécessaires pour actionner des MEMS (Microelectromechanical systems) ou alimenter un amplificateur d'amorçage. Aussi, deux nouvelles topologies de LUS fondées sur la technique de la grille flottante sont présentées.

Finalement, Plusieurs autres circuits sont proposés. À titre d'exemple, nous avons introduit un modulateur analogique à largeur d'impulsion qui est constitué, entre autre, de deux chaînes à délai. Celui-ci est utilisé pour activer l'amplificateur d'amorçage par trois signaux de commande d'impulsion ayant un rapport cyclique variant de 0 à 50 %. Ce circuit possède plusieurs avantages : fonctionnement sur une large bande passante, une faible sensibilité par rapport à la variation du procédé de fabrication, une surface réduite et une basse consommation d'énergie.



## ABSTRACT

Nowadays the diagnostic ultrasonic system has become essential in any medical treatment in which the non-invasive exploration of human body's regions is necessary. However, their transmitters occupy large space and represent a source of noise and power dissipation.

But for the design of the modules of such transmitter, one must consider three main major constraints: full integration (portability), low-power consumption and high-voltage DC level applied on the gate of the transistors. Generally, an ultrasonic transmitter is based on several discrete components such as a DC-DC converter based on inductive mode delivering an output signal up to 200 V, a power amplifier, and a capacitor to withstand a high DC voltage.

We propose in this thesis a new topology of high-voltage DC-DC up converter (HVUC). This HVUC consists of five cascaded high-voltage doubler stages, in each stage a static level-up-shifter (LUS) is employed as a clock generator in order to increase the voltage exponentially. However, increasing the voltage from stage to another exceeds the gate oxide breakdown voltage of used DMOS transistors. To solve this problem, a protection method based on a floating gate technique is proposed.

In addition, a new topology of a negative high-voltage DC-DC converter (NHVD) is proposed to generate a high DC voltage located in -100 V to 100 V range, which is

necessary to activate MEMS (Microelectromechanical Systems) based devices and to drive amplifiers. Also, two new topologies of LUS based on floating gate are presented.

Finally, several other circuits are proposed, among them a digital pulse width modulator (DPWM) which is performed by two delay cell chains and two logic gates AND and OR are introduced. The DPWM is used to trigger the drive amplifier by three pulse signals; each one has a duty cycle ranging from 0 to 50 %. This circuit has several advantages: a wide operation frequency, low-process variation sensitivity as well as small area and low-power consumption.

## TABLE DES MATIÈRES

<b>DÉDICACE .....</b>	<b>IV</b>
<b>REMERCIEMENTS .....</b>	<b>V</b>
<b>RÉSUMÉ .....</b>	<b>VI</b>
<b>ABSTRACT.....</b>	<b>VIII</b>
<b>TABLE DES MATIÈRES.....</b>	<b>X</b>
<b>LISTE DES FIGURES .....</b>	<b>XIV</b>
<b>LISTE DES TABLEAUX.....</b>	<b>XX</b>
<b>LISTE DES ANNEXES.....</b>	<b>XXI</b>
<b>LISTE DES SIGLES ET ABRÉVIATIONS .....</b>	<b>XXII</b>
<b>CHAPITRE 1 .....</b>	<b>1</b>
1.1 TRAVAUX DE LA THÈSE .....	7
1.2 ORGANISATION DE LA THÈSE .....	8
1.3 CONTRIBUTIONS ET OBJECTIFS DE CETTE THÈSE.....	10
<b>CHAPITRE 2 ÉMISSION ULTRASONIQUE ET SOUS BLOCS : REVUE DE LITTÉRATURE .....</b>	<b>13</b>
2.1 INTRODUCTION .....	13
2.2 LES SIGNAUX ULTRASONORES.....	14
2.3 EXCITATION ÉLECTRIQUE D'UN TRANSDUCTEUR ULTRASONIQUE .....	16
2.3.1 <i>La réponse en fréquence et la puissance émit d'un transducteur.....</i>	<i>18</i>
2.4 CONVERTISSEUR DC-DC.....	22

2.4.1	<i>Le convertisseur survolteur (Boost Converter).....</i>	23
2.4.2	<i>Le convertisseur à transfert indirect (Flyback Converter).....</i>	24
2.4.3	<i>Le multiplicateur de tension (Voltage Multiplier).....</i>	26
2.4.4	<i>Le convertisseur DC-DC à capacités commutées.....</i>	27
2.4.5	<i>Les convertisseurs DC-DC complètement intégrés à tension de sortie modérée.....</i>	29
2.4.6	<i>Circuit d'amplification de niveau de signaux (Level-up-Shifter - LUS).....</i>	45
2.5	CONCLUSION.....	49

### CHAPITRE 3 FULLY INTEGRATED HIGH-VOLTAGE FRONT-END

INTERFACE FOR ULTRASONIC SENSING APPLICATIONS .....		51
3.1	RESUME .....	51
3.2	INTRODUCTION .....	56
3.3	DESCRIPTION OF A TYPICAL ULTRASONIC SYSTEM .....	58
3.4	DESIGN METHODOLOGY OF THE HVDC .....	59
3.4.1	<i>The HV DC-DC converter in HVCMOS technology.....</i>	61
3.4.2	<i>Static level-up-Shifter (LUS).....</i>	62
3.4.3	<i>Programmability.....</i>	63
3.4.4	<i>Technology process.....</i>	64
3.4.5	<i>On-chip high-voltage capacitors .....</i>	65
3.4.6	<i>Operation of the voltage doubler circuit .....</i>	66
3.4.7	<i>Optimization of the voltage doubler circuit.....</i>	68
3.4.8	<i>Optimum HV capacitance of each stage.....</i>	69
3.4.9	<i>Gate oxide protection methods of each stage .....</i>	70
3.5	THE DRIVE AMPLIFIER.....	71
3.6	RESULTS .....	74
3.6.1	<i>Post layout simulation results.....</i>	74
3.6.2	<i>Experimental results from full custom chips.....</i>	76
3.7	CONCLUSION.....	81
ACKNOWLEDGMENTS .....		81

REFERENCES .....	82
<b>CHAPITRE 4 HIGH-VOLTAGE DMOS INTEGRATED CIRCUITS USING FLOATING-GATES PROTECTION TECHNIQUE .....</b>	<b>96</b>
4.1 RÉSUMÉ .....	96
4.2 INTRODUCTION .....	103
4.3 FLOATING GATE PROTECTION TECHNIQUE.....	104
4.3.1 <i>Protection using one-capacitor</i> .....	104
4.3.2 <i>Protection using two-capacitor</i> .....	105
4.3.3 <i>On-chip high-voltage capacitors</i> .....	106
4.3.4 <i>Analysis of the protection methods</i> .....	107
4.4 HV INTEGRATED CIRCUITS USING FLOATING GATE PROTECTION.....	108
4.4.1 <i>Positive high-voltage doubler</i> .....	108
4.4.2 <i>Negative high-voltage doubler</i> .....	111
4.4.3 <i>First level-up-Shifter topology</i> .....	113
4.4.4 <i>Second level-up-Shifter topology</i> .....	114
4.5 SIMULATION AND EXPERIMENTAL RESULTS .....	115
4.5.1 <i>Simulation results</i> .....	115
4.5.2 <i>Experimental results from full custom chips</i> .....	117
4.6 CONCLUSION.....	120
<b>CHAPITRE 5 COMPLÉMENT AUX TRAVAUX ET VALIDATION PAR COMPOSANTS DISCRETS .....</b>	<b>135</b>
5.1 ÉTAGE DE DOUBLEUR DE HAUTE TENSION POSITIVE .....	135
5.2 RÉSULTATS EXPÉRIMENTAUX AU NIVEAU DISCRET .....	136
5.3 GÉNÉRATEUR D'IMPULSION RÉGLABLE.....	140
5.3.1 <i>Oscillateur en anneau à tension commandée</i> .....	141
5.3.2 <i>Modulateur numérique de largeur d'impulsion (DPWM)</i> .....	146
5.3.3 <i>Simulations de VCO</i> .....	148
5.4 RÉSULTATS EXPÉRIMENTAUX CONCERNANT LA MÉTHODE DE PROTECTION .....	150

5.5 CONCLUSION.....	152
<b>CHAPITRE 6 DISCUSSION GÉNÉRALE ET CONCLUSION.....</b>	<b>154</b>
<b>BIBLIOGRAPHIE.....</b>	<b>163</b>
<i>Cependant, le courant d'un transistor HVDMOS à grille flottante, en négligeant l'effet de second ordre, est donné par l'équation suivante :.....</i>	<i>174</i>
<i>À cause de la capacité entre la grille de contrôle et la grille flottante, donc même si ce transistor entre dans sa région de saturation, le courant du drain <math>I_D</math> continue à augmenter proportionnellement à la tension appliquée sur le drain. De même, en régime de saturation, la transconductance de ce transistor, qui est égale à <math>(k\beta_{cg}[V_{cg} + (C_{fd}/C_{fc})V_{ds} - V_{th}^{cg}])</math>, augmente avec <math>V_{ds}</math>.....</i>	<i>175</i>
<b>ANNEXE.....</b>	<b>171</b>

## LISTE DES FIGURES

Figure 1.1 : Schématisation d'un émetteur ultrasonique conventionnel.....	2
Figure 1.2. : Schéma simplifié d'un émetteur ultrasonique actuel .....	3
Figure 1.3. : Principaux modules de l'émetteur ultrasonique intégré .....	8
Figure 2.1. : Schématisation d'un transducteur : (a) excité par une haute tension, (b) longueurs d'onde de deux ondes ultrasonores générées durant l'excitation	17
Figure 2.2. : Résonance d'un transducteur: (a) la courbe de résonance à la fréquence centrale, (b) la vitesse de vibration des deux faces du transducteur .....	20
Figure 2.3 : Excitation du transducteur: (a) l'impulsion d'excitation à haute tension (b) l'onde de pression générée .....	22
Figure 2.4. : Schématisation du convertisseur survolteur.....	24
Figure 2.5 : Schématisation du convertisseur à transfert indirect.....	25
Figure 2.6. : Schématisation du multiplicateur de tension à demi-monde (half wave multiplier) .....	26
Figure 2.7. : Schématisation du convertisseur DC-DC à capacités commutées.....	27
Figure 2.8. : Schématisation de la pompe de charges Dickson pour N étages .....	31
Figure 2.9 : Circuit équivalent de la pompe de charges Dickson de N étages.....	34
Figure 2.10. : Schématisation de la pompe de charges Dickson intégrée pour N étages .....	35
Figure 2.11. : Schématisation de la pompe de charges Dickson améliorée intégrée pour N étages .....	36

Figure 2.12. : Schématique de l'étage de doubleur de tension de pompe de charges avancée .....	38
Figure 2.13. : Circuit équivalent de l'étage de doubleur de tension .....	41
Figure 2.14. : Forme d'ondes des signaux d'horloges $clk$ , $clk_{barre}$ , $clk_3$ et $clk_4$ .....	44
Figure 2.15. : Schématique de l'étage de doubleur combiné avec le LUS et le circuit de démarrage .....	45
Figure 2.16. : Level-up-Shifter : (a) Schématique de base, (b) Schématique de LUS proposé par Declercq et al. [DEC93] .....	47
Figure 2.17. : Schématique de LUS proposé par Huang et al. [HUA04] .....	49
Figure 3.1. : Block diagram of the ultrasonic system including the proposed sensing interface .....	86
Figure 3.2. : Ideal two phase switched-capacitor converters .....	86
Figure 3.3 : Simplified block diagram of the proposed DC-DC up converter .....	86
Figure 3.4. : Voltage doubler stage: (a) block diagram, (b) voltage doubler circuit, (c) charge transfer circuit .....	87
Figure 3.5. : Schematic of the static level-up-Shifter .....	87
Figure 3.6. : Cross-sections of HV devices: (a) HVNMOS, (b) HVPMOS .....	88
Figure 3.7. : On-chip high voltage capacitor: (a) double poly capacitor, (b) circuit model .....	88
Figure 3.8. : Voltage doubler stage (a) stray capacitors of the pump capacitors, (b) equivalent circuit .....	88
Figure 3.9. : Power efficiency versus $R_S/R_L$ for various capacitors .....	89



Figure 3.10. : Schematic of the static level-up stage .....	89
Figure 3.11. : Simulation of the: (a) level-up stage and HVDC output, (b) FG node for one voltage doubler stage with $V_{low} = 100$ V .....	90
Figure 3.12. : Schematic of the drive amplifier for unipolar excitation pulses .....	90
Figure 3.13. : Simulation of programmable step-up response for PHVDC at different programmed $V_{ref}$ .....	90
Figure 3.14. : Simulation of the HVDC followed by the drive amplifier: (a) output voltage, (b) chain of the voltage waveforms across the transducer, (c) chain of the current waveforms .....	91
Figure 3.15 : Simulation of the drive amplifier: (a) waveform of the three triggering pulse signals, (b) single shock excitation pulse with amplitude of 148 V, (c) current waveform with a peak of 200 mA .....	91
Figure 3.16. : Photomicrograph of the front-end sensing interface .....	92
Figure 3.17. : Measured output voltage of the second stage with 100-pF capacitive and 1 $M\Omega$ resistive load at $f = 2$ MHz .....	92
Figure 3.18. : Measurement result : (a) output voltage versus output current, (b) power efficiency versus output current with 100-pF capacitive load and $f = 2$ MHz .....	93
Figure 3.19. : Measurement result: (a) output power versus load resistance, (b) output voltage versus input voltage with 100-pF capacitive load, and 10-M $\Omega$ resistive load .....	93

Figure 3.20. : Output voltage versus clock frequency $f$ with 100-pF capacitive load, and 10-M $\Omega$ resistive load .....	94
Figure 3.21. : Experimental results of the drive amplifier: (a) chain of the voltage waveforms across the transducer model, (b) unipolar excitation pulse .....	94
Figure 4.1. : Gate oxide protection: (a) One capacitor, (b) Two capacitors .....	124
Figure 4.2. : Layout of the capacitor built with: (a) Polygate-Metal1-Metal2 and (b) using cascade MxN array standard element.....	124
Figure 4.3. : Current model for FG DMOS transistor.....	124
Figure 4.4. : Cross-sections of DALSA semiconductor technology for HV NMOS transistor: (a) HV NMOS, (b) HV PMOS .....	125
Figure 4.5. : Positive high-voltage doubler.....	126
Figure 4.6. : Schematic of the NHVD.....	127
Figure 4.7. : The proposed LUSs: (a) First topology, (b) Second topology .....	128
Figure 4.8 : Simulation results of the positive voltage doubler with $C_3 = 15$ pF, $C_6 = 1$ pF and $V_{low} = 100$ V .....	128
Figure 4.9. : Simulation results of the NHVD with $C_3 = 1$ pF, $C_6 = 16$ pF and $V_{high} =$ 100 V .....	129
Figure 4.10 : Simulation results of the LUS1 with $C_1 = 16$ pF and $C_2 = 1$ pF .....	129
Figure 4.11. : Simulated waveforms of the LUS2 with $C_1 = 16$ pF and $C_2 = 1$ pF .....	130
Figure 4.12 : Microphotograph of the HV CMOS/DMOS chip .....	130
Figure 4.13. : Measured output ( $V_{high} = 78.3$ V) of the voltage doubler circuit: input ( $V_{low} = 40$ V), $C_{load} = 100$ pF, $R_{load} = 10$ M $\Omega$ , and $f = 2$ MHz .....	131

Figure 4.14. : Measured characteristics of LUSs with  $C_{Load} = 100$  pF and  $R_{Load} = 10$  M $\Omega$ :

(a) Differential output of LUS1 at  $f = 556$  kHz, (b) and (c) Rise and fall times of LUS1 and LUS2 with  $f = 400$  kHz..... 132

Figure 4.15. : Measured power dissipation of LUSs with  $C_{load} = 100$  pF and  $R_{load} = 10$

M $\Omega$  in function of: (a) Operation frequency, (b) Output swing with  $f = 500$  kHz ..... 133

Figure 4.16. : Measured output variation of LUSs with  $C_{load} = 100$  pF and  $R_{load} = 10$  M $\Omega$

..... 133

Figure 5.1. : Doubleur de haute tension positive conçu avec des composants discrets.. 137

Figure 5.2. : Résultats expérimentaux montrant les niveaux DC de la tension appliquée

sur la grille de l'un des transistors IRFD9210 et de la tension de sortie de l'étage ..... 138

Figure 5.3. : Résultats expérimentaux montrant le niveau DC de la tension de sortie du

circuit qui varie avec l'amplitude de sortie de LUS pour un  $V_{ref} = 2.7$  V . 138

Figure 5.4 : Résultats expérimentaux montrant (a) le niveau DC de la tension de sortie de

l'étage, (b) l'oscillation de la sortie de LUS et la tension sur le nœud interne

(A) ..... 139

Figure 5.5. : Diagramme bloc du générateur d'impulsion réglable ..... 140

Figure 5.6. : Un étage VCO : (a) cellule de délai, (b) Approximation du délai pour un

VCO avec une résistance contrôlable ..... 143

Figure 5.7. : Le VCO proposé : (a) diagramme bloc, (b) Modèle capacitif d'un transistor

MOS dans son état désactivé ..... 146

Figure 5.8. : Diagramme bloc du modulateur numérique de largeur d'impulsion (DPWM)	147
Figure 5.9. : Résultats de simulation du DPWM pour un rapport cyclique allant de 0% to 50% (a) impulsion de largeur minimale de 35 ns, (b) largeur maximale de 130 us	148
Figure 5.10. : Réponse de sortie transitoire du VCO: (a) à la fréquence d'oscillation de 13 Hz avec et sans le diviseur, (b) à la fréquence d'oscillation 407 MHz....	149
Figure 5.11. : Fréquence d'oscillation en fonction de la tension de commande : (a) pour la fréquence d'oscillation de 13 Hz à 2.3 MHz, (b) pour la fréquence d'oscillation de 70 MHz à 300 MHz	150
Figure 5.12. : Méthode de protection de l'oxyde de la grille en utilisant deux capacités cascadées	151
Figure 5.13. : Simulation de la polarisation de la grille flottante pour : (a) une tension continue de 0 V, (b) un signal carré de 50 V appliqué au nœud B	152
Figure 5.14. : Résultats expérimentaux de la grille flottante pour : (a) une tension continue de 0 V, (b) un signal carré de 60 V appliqué au nœud B (1 carreau = 10 V)	152
Figure A.1. : Dessin des masques d'un transistor HV PMOS à grille flottante	175
Figure A.2. : Modèle capacitive du transistor HVPMOS à grille flottante	177

## LISTE DES TABLEAUX

Tableau 2.1. : Les principaux avantages et inconvénients des convertisseurs DC-DC ....	28
Tableau 2.2. : Efficacité de puissance maximale pour différents types de capacités .....	44
Tableau 3.1. : Stray capacitor coefficient and maximum efficiency .....	95
Tableau 3.2. : Simulation of the proposed HVDC.....	96
Tableau 4.1. : Simulation characteristics of the proposed NHVD.....	136
Tableau 4.2. : Comparison of the proposed LUSs with conventional topologies.....	136

## **LISTE DES ANNEXES**

ANNEXE A : La technique de la grille flottante .....	175
--	-----

## LISTE DES SIGLES ET ABRÉVIATIONS

<b>BV<sub>DS</sub></b>	<b>Tension de claquage de drain source</b>
<b>E</b>	<b>Champ électrique</b>
<b>C<sub>ch</sub></b>	<b>Capacité de charge</b>
<b>CMC</b>	<b>Canadian microelectronics corporation</b>
<b>CMOS</b>	<b>Complementary metal-oxide semiconductor</b>
<b>DC</b>	<b>Tension continue</b>
<b>DMOS</b>	<b>Double diffusion metal-oxide semiconductor</b>
<b>DPWM</b>	<b>Digital Pulse Width Modulation</b>
<b>H</b>	<b>Efficacité de puissance</b>
<b>EPROM</b>	<b>Erasable programmable read only memory</b>
<b>G<sub>m</sub></b>	<b>Transconductance</b>
<b>HVDC</b>	<b>HV DC-DC converter</b>
<b>HVUC</b>	<b>High-Voltage Up-Converter</b>
<b>HV</b>	<b>High Voltage</b>
<b>I<sub>ctrl</sub></b>	<b>Courant de contrôle</b>
<b>I<sub>ds</sub></b>	<b>Courant drain-source</b>
<b>kHz</b>	<b>Kilo Hertz</b>
<b>LCD</b>	<b>Liquid crystal display</b>
<b>λ</b>	<b>longueur d'onde</b>
<b>LU</b>	<b>Circuit de décalage du niveau (Level-up)</b>
<b>LUS</b>	<b>Circuit élévateur de niveau de tension (Level-up-Shifter)</b>
<b>MEMS</b>	<b>Micro Electro Mechanic System</b>
<b>MHz</b>	<b>Mega Hertz</b>
<b>NHVD</b>	<b>Negative High Voltage Doubler</b>
<b>NMOS</b>	<b>N-channel metal-oxide semiconductor</b>

$\omega$	Fréquence angulaire
PCB	Printed circuit board
PZT	piezoelectric (Lead-Zirconate-Titanate)
PMOS	P-channel metal-oxide semiconductor
Q	Facteur de qualité
RA	Résolution Axiale
$R_{ch}$	Résistance de charge
$R_{DSon}$	Résistance dynamique drain-source
RL	Résolution Latérale
$R_s$	Résistance de sortie
SOI	Silicon-On-Isolator
TTL	Transistor-transistor logic
U	vitesse vibratoire
$V_c$	Tension de contrôle
VCO	Voltage controlled oscillator
VDD	Tension d'alimentation de 5 V
$V_{fg}$	Tension de la grille flottante
$v$	Vitesse de propagation des ultrasons
$V_\gamma$	Tension de seuil de la diode
$V_{GS}$	Tension grille-source
$V_{high}$	Tension de sortie de l'étage de doubleur de tension
$V_{low}$	Tension d'entrée de l'étage de doubleur de tension
$V_{pp}$	Tension d'alimentation de 200 V
$V_{th}$	Tension de seuil
Z	Impédance acoustique



## CHAPITRE 1

### INTRODUCTION

De nos jours, la technologie et les circuits intégrés haute tension font l'objet d'une attention particulière. Ils visent un marché croissant stimulé par de nombreuses applications, y compris le circuit d'amorçage d'écran plat, l'électronique des véhicules, la commande des moteurs DC, les régulateurs à commutation, les émetteurs ultrasoniques et les circuits de télécommunication [BAL99]. Afin de réduire la taille des cartes électroniques et de maintenir une fiabilité élevée, la technologie de circuits intégrés à haute tension est utilisée avec une alimentation de plus en plus élevée.

En outre, le développement de systèmes analogiques en technologie CMOS à faible consommation de puissance mais à plusieurs tensions d'alimentation est devenu essentiel dans plusieurs domaines et en particulier en biomédical. Plus précisément dans la conception des systèmes d'alimentation et d'amorçage ou d'activation de microsystèmes (MEMS, Optoélectronique, Piézoélectrique, etc). En général on doit composer avec trois principales contraintes majeures: l'intégrabilité, la faible consommation de puissance (portabilité) et les tensions DC très élevées (20 V-200 V).

Dans les applications haute tension et en particulier en diagnostique ultrasonique, les émetteurs ultrasoniques disponibles actuellement occupent beaucoup d'espace car ils sont conçus avec des composants discrets montés sur des cartes électroniques. La figure 1.1 montre un exemple d'un circuit discret d'un émetteur ultrasonique conventionnel utilisé

en diagnostic médical. Dans cet émetteur, un condensateur est chargé à une haute tension durant une constante de temps  $T = RC$ , ensuite il est déchargé vers la masse par l'intermédiaire d'un transistor haute tension qui agit comme un commutateur lorsqu'il serait amorcé par une impulsion positive de courte durée [EME95]. Par conséquent, une impulsion unipolaire de haute tension négative de temps de montée typiquement de 10 ns est créée aux bornes d'un élément piézoélectrique afin de générer une onde ultrasonore.

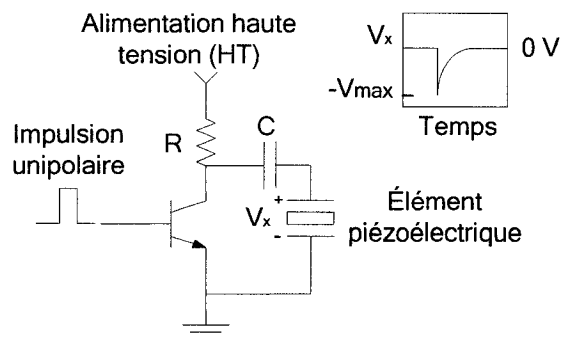


Figure 1.1. Schématique d'un émetteur ultrasonique conventionnel.

Généralement, l'émetteur ultrasonique actuel à simple canal est constitué de composants discrets combinés ensemble. A titre d'exemple, une alimentation DC de haute tension variant entre 50 V et 200 V et un générateur d'impulsions (transistor logic - TTL) qui produit un ou plusieurs cycles de signal de commande avec une largeur d'impulsion égale à la moitié de la période de résonance de transducteur ultrasonique. De plus, on retrouve un amplificateur de puissance commandé par le générateur d'impulsions et un câble connecté au transducteur tel que montré à la figure 1.2.

Pour réduire la surface de l'émetteur ultrasonique moderne à plusieurs canaux et d'augmenter sa flexibilité, Emery et al [EME95] ont proposé un émetteur optoélectronique multi- canaux adapté pour exciter plusieurs transducteurs.

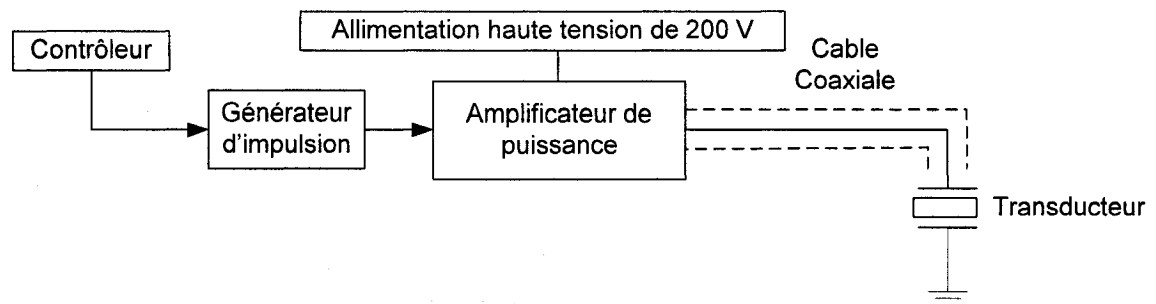


Figure 1.2. Schéma simplifié d'un émetteur ultrasonique actuel.

Dans chaque canal, un faisceau lumineux est créé par un circuit basé sur une photodiode générant une impulsion optique d'amorçage au lieu d'un signal électrique.

Une diode laser convertit la lumière en impulsion électrique qui est transportée par une fibre optique à un capteur optique. Ce dernier joue le rôle d'un commutateur servant à appliquer une brève impulsion unipolaire de haute tension aux bornes de chaque transducteur ultrasonique.

Afin d'améliorer la sensibilité du transducteur à l'émission, qui se traduit par une résonance totale de ce dernier à sa fréquence centrale, un circuit d'adaptation d'impédance sélectif a été introduit. Il est utilisé pour minimiser la perte d'énergie lors de la conversion de la puissance électrique appliquée aux bornes du transducteur en un mouvement [SAN04]. Cependant, il est constitué d'une inductance et d'une résistance connectées en parallèle aux bornes du transducteur.

Comme il a été mentionné précédemment, dans chaque émetteur ultrasonique un niveau DC de 200 V environ doit être appliqué aux bornes d'un transducteur (Piézoélectrique) de même tension de claquage afin de créer une onde ultrasonore capable d'atteindre un maximum de profondeur dans le corps humain [BEAU98].

En appliquant ce niveau d'excitation DC aux bornes du transducteur qui résonne à sa fréquence centrale, la densité de puissance moyenne transmise augmentera [CHR88]. En conséquence, l'amplitude des échos reçus provenant de la profondeur du corps humain n'aura pas besoin davantage d'amplification avant d'être traitée [PER81].

Afin de générer cette haute tension désirée, plusieurs types de circuits ont été conçus. Certains d'entre eux sont basés sur des inductances reliées avec des diodes pour réaliser un gain de tension DC élevé [ZHA03], d'autres sont basés sur des chaînes des capacités, qui sont reliées ensemble par des diodes et couplées parallèlement à deux horloges sans recouvrement [OGU02]. Des circuits transformateurs ont été également conçus pour produire ces hautes tensions [SUI00]. Les inconvénients de ces circuits passifs résident dans leur grande dissipation de puissance, grande surface, faible fiabilité, bruit et coût élevés.

En outre, pour générer des tensions DC sur puce de valeur plus grande que la tension d'alimentation, des convertisseurs DC-DC ou des circuits de pompe de charges sont généralement utilisés. Il existe plusieurs types de convertisseurs DC-DC conçus sur puce mais la plupart sont basés sur les deux principales topologies qui sont la pompe de

charges Dickson [DIC76][TAN97] et une autre basée sur un doubleur de tension [FAV98]. La pompe de charges Dickson est constituée d'une chaîne des diodes couplées à leurs entrées via des capacités. Une tension de sortie de cette dernière, plus grande que la tension d'alimentation, est obtenue en transférant successivement des quantités de charges d'une diode à une autre tout le long de la chaîne.

La pompe de charges est basée sur un circuit doubleur de tension qui est composé de deux transistors NMOS à connexion croisée, deux capacités et deux transistors PMOS de transfert de la charge. Tous ces transistors fonctionnent comme des commutateurs. En cascade plusieurs étages de doubleurs de tension, la tension de sortie obtenue serait plus grande que celle d'une alimentation appliquée sur l'entrée. Cette conversion serait accomplie en transférant les quantités de charge d'un étage à un autre par deux horloges sans recouvrement. En augmentant la tension DC d'un étage à un autre, la tension de claquage de la diode formée par la jonction « substrat-Well » sera excédée. Afin d'éliminer cette limitation ainsi que celle de « survolteur » et des capacités parasites des transistors PMOS, une technique d'isolation (Silicon-On-Isolator - SOI) est appliquée à la technologie CMOS standard. En effet, elle est utilisée pour intégrer sur une puce un convertisseur DC-DC haute tension de neuf étages [HOQ05]. La valeur mesurée de la tension DC maximale générée par ce convertisseur implémenté en technologie 0.35  $\mu\text{m}$  CMOS en SOI, est 27 V. Cependant, cette architecture présente de faibles tensions de claquage de la couche d'oxyde des capacités, de la grille des transistors CMOS en SOI et de la couche d'isolation du substrat globale.

Récemment, une pompe de charges Dickson de dix étages a été utilisée pour générer une tension de sortie dix fois plus grande que la tension d'entrée variant entre 3 et 6 V [FAV98]. Chaque étage est constitué d'un commutateur PMOS en réalisant une propulsion (bootstrapping) sur sa grille et son substrat local N-Well est polarisé par une commutation de la tension la plus élevée sur sa source ou son drain. En utilisant cette méthodologie de conception basée sur une chaîne des commutateurs de type P, la perte de tension due à la tension de seuil s'annule et l'augmentation de la tension de sortie du convertisseur sera limitée à celle de claquage de la jonction (substrat-Well) globale de la technologie.

À part les difficultés d'intégrabilité et de la dissipation de puissance, la couche mince d'oxyde de la grille des transistors CMOS haute tension dont la tension de claquage est similaire à celle du transistor CMOS standard constitue un obstacle supplémentaire.

Afin de résoudre ce problème, la technique d'amorçage de la grille basée sur un circuit de décalage de niveau de tension (Level-up - LU), est utilisée pour amorcer et protéger le transistor [VAL94]. En outre, des transistors basse tension à grille auto polarisée (self-biased) et l'amorçage par transformateurs couplés sont aussi utilisées [YAO01][PAN03]. Cependant, les inconvénients de toutes ces méthodes de protection et d'amorçage de grilles demeurent dans la dissipation de puissance, le courant de fuite, la grande surface occupée, la complexité de circuits et la faible robustesse.

## 1.1 Travaux de la thèse

Dans le contexte des systèmes ultrasoniques portables, nous présentons dans cette thèse une nouvelle technique de conception sur puce d'un émetteur ultrasonique totalement intégré. La figure 1.3 montre le diagramme bloc de cet émetteur. Afin de remédier aux difficultés d'intégrabilité et de dissipation de puissance, l'émetteur proposé est constitué d'une nouvelle architecture programmable de convertisseur DC-DC hautes tensions positive et négative. Cet émetteur totalement intégré est à faible surface et consommation de puissance et permet de générer des tensions DC allant de - 100 V à 200 V. Ces tensions peuvent être utilisées pour alimenter des circuits dédiés à de nombreuses applications entre autre les émetteurs ultrasoniques. En effet, ce module est utilisé pour alimenter un nouvel amplificateur d'amorçage (Drive Amplifier) totalement intégré servant à exciter un élément piézoélectrique par une impulsion haute tension. Le signal généré est de fréquence allant de 3.5 MHz à 5 MHz équivalent à la fréquence de résonance du transducteur pour des examens abdominaux. Cet amplificateur est commandé par trois signaux générés à partir d'une nouvelle topologie d'un modulateur de rapport cyclique numérique (Digital Pulse Width Modulation - DPWM). Ce DPWM peut générer des impulsions de rapport cyclique allant de 0 à 50 %.

En outre, pour faciliter la conception de circuits à tension élevée, une nouvelle méthode d'amorçage et de protection de l'oxyde mince haute tension contre des signaux de haute tension appliqués à la grille du transistor CMOS, est proposée. Elle est basée sur la technique de la grille flottante. Se basant sur cette méthode de protection, deux

nouvelles topologies de LUS à faible consommation de puissance et faible surface ainsi que des portes logiques haute tension sont proposées.

Ainsi, ce nouveau concept de l'émetteur ultrasonique peut remplacer toute interface conventionnelle conçue avec des composantes passives [EME95].

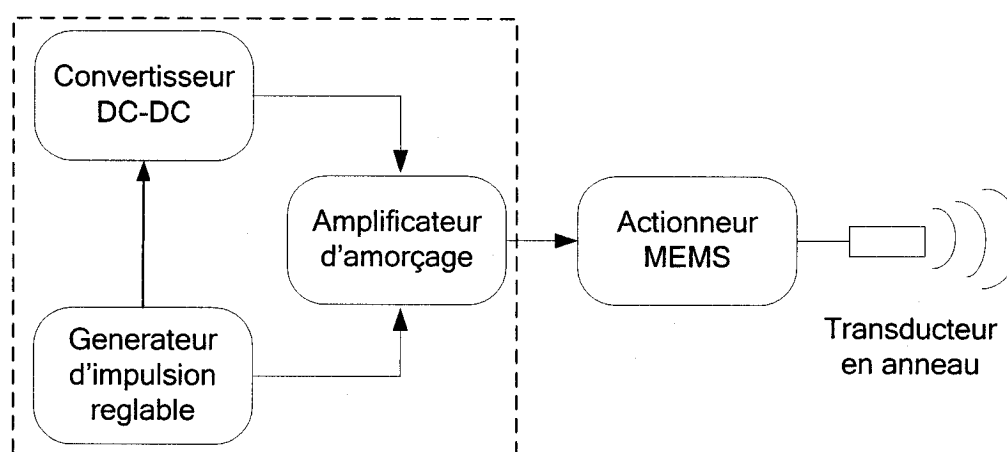


Figure 1.3. Principaux modules de l'émetteur ultrasonique intégré. (Objet de cette thèse)

## 1.2 Organisation de la thèse

La présente thèse comprend six chapitres. Le premier, représentant une introduction générale, expose l'importance de la technologie haute tension dans la conception des circuits intégrés dédiés. Il expose aussi les problématiques d'intégration à haute tension et les techniques de conception proposées pour remédier à ces problèmes. Le deuxième chapitre est consacré à l'excitation et à la conception et mise en œuvre d'un élément piézoélectrique, à l'émission d'une onde ultrasonore et aux générateurs hautes tensions utilisées pour exciter le transducteur. Aussi, nous étudions dans ce chapitre les deux topologies principales de la pompe de charge sur puce et nous présentons des circuits de



LUS qui constituent des blocs principaux contribuant à l'amélioration des performances de ces topologies et à la conception haute tension. Dans les deux chapitres suivants, nous aborderons les contributions de cette thèse. Nous présentons, tout d'abord, l'architecture intégrée de l'émetteur ultrasonique, ainsi que trois nouvelles topologies d'un convertisseur DC-DC haute tension CMOS (High Voltage Up Converter - HVUC) à sortie programmable (allant de 10 à 200 V), d'un amplificateur d'amorçage et d'un générateur d'impulsion réglable. De plus, nous présentons une nouvelle méthode d'amorçage et de protection de l'oxyde mince de la grille de transistor haute tension, deux nouvelles topologies de LUS, d'un doubleur de tension négative (Negative High Voltage Doubler - NHVD) et des portes logiques basées sur cette méthode proposée.

Nous décrivons dans le troisième chapitre les différents éléments composant l'émetteur proposé et leur principe de fonctionnement. Cette contribution a fait l'objet d'une publication dans « IEEE Transactions on Circuits and Systems-I : Analog Signal Processing » Vol. 54, No. 1, paru en Janvier 2007.

Nous présentons dans le quatrième chapitre une nouvelle méthode d'amorçage et de protection de l'oxyde contre tout signal de haute tension appliqué sur la grille de transistor haute tension à double diffusion (HVD MOS). Cette méthode est basée sur une technique de grille flottante telles qu'une ou deux capacités sont reliées à la grille de ce transistor servent à réduire la tension appliquée à cette dernière. Ce chapitre traite une analyse théorique et une méthodologie de conception. En basant sur cette méthode, de nouvelles topologies de LUS, un doubleur de tension négative (NHVD) et une porte

logique NAND haute tension ont été proposées. Le travail présenté dans ce chapitre représente un article de revue qui a été soumis en 2007 pour publication dans « IEEE Transactions on Circuits and Systems-I : Analog Signal Processing ». De plus, nous présentons dans le chapitre 5 la conception et la simulation d'un générateur d'impulsion réglable servant à générer les signaux de commande nécessaires pour contrôler l'amplificateur d'amorçage. Aussi, ce chapitre 5 inclut un complément de résultats provenant de circuits haute tension réalisés avec des composants discrets. Ces circuits ont été complétés pour valider les techniques que nous proposons. Finalement, le dernier chapitre consiste en une conclusion sur nos travaux et les recommandations en ce qui a trait à l'orientation de futurs travaux liés à cette thèse.

### **1.3 Contributions et objectifs de cette thèse**

Les contributions de cette thèse concernent les techniques de conception des circuits hautes tensions dédiés aux applications ultrasoniques. La première contribution consiste en un émetteur ultrasonique totalement intégré présentant des caractéristiques originales telle qu'une faible consommation de puissance, faible niveau de bruit et haute précision. Plusieurs circuits constituant les modules nécessaires à l'implémentation de cet émetteur sont originaux [CHE07].

La deuxième contribution représente une nouvelle architecture d'un convertisseur DC-DC exploitée pour générer localement les tensions d'alimentation variant entre 10 V et 200 V nécessaire pour un nouvel amplificateur d'amorçage. Ce nouveau convertisseur est composé de cinq étages cascades de doubleurs de tension. Dans chaque étage, un circuit

LUS est utilisé comme générateur d'horloge afin d'augmenter exponentiellement sa tension de sortie DC qui forme l'alimentation de l'étage suivant.

Étant donné que les transistors hautes tensions CMOS utilisés sont unidirectionnels et ne peuvent pas être utilisés comme des commutateurs, les jonctions internes sont utilisées comme diodes afin de transférer les charges. Cette solution adoptée, représente une troisième contribution de cette thèse.

La quatrième contribution consiste en une nouvelle technique de protection de la grille des transistors HVP MOS du circuit tel qu'un circuit de décalage de niveau de tension (Level-up - LU) est utilisé pour éviter de dépasser la tension de claquage d'oxyde durant l'augmentation de la tension DC d'un étage à un autre.

Quant à la protection des transistors HVNMOS, une cinquième contribution a permis de la mise en œuvre d'une méthode basée sur une technique de grille flottante telles que deux capacités connectées en cascade sont utilisées pour diviser le signal haute tension appliquée sur la grille de ces transistors.

La sixième contribution réside dans la nouvelle méthode de programmation du gain de tension du HVUC. Un régulateur de tension est implémenté dans le LUS du deuxième étage du HVUC sert à varier l'amplitude de signal de sortie de LUS.

Pour exciter le transducteur ultrasonique produisant des ondes ultrasonores, un amplificateur d'amorçage de haute tension totalement intégré à faible consommation de puissance est proposé. Il représente la septième contribution de cette thèse. Afin de

réduire la dissipation de puissance et la surface de circuits fabriqués, ce module est utilisé pour générer des impulsions d'excitation hautes tensions unipolaires, contrôlées par trois signaux impulsionnels à basse tension.

Afin d'activer des microsystèmes avec des tensions négatives allant jusqu'à -100 V, une nouvelle topologie d'un convertisseur DC-DC de haute tension négative est proposée. Ce convertisseur est constitué d'un booster de haute tension négative et d'un LUS alimenté par la sortie DC du HVUC. Cette proposition représente la huitième contribution de cette thèse.

La neuvième contribution consiste en deux nouvelles topologies de LUS telle que la méthode de protection basée sur la grille flottante est appliquée dans l'étage d'entrée de ces LUS. Cette méthode permet de réduire la dissipation de puissance de LUS en comparant avec le LUS conventionnel.

Une nouvelle architecture d'un générateur d'impulsions réglable contient la dixième contribution de cette thèse. Le générateur est composé d'une nouvelle topologie d'un oscillateur en anneau combiné à un DPWM. Cet oscillateur permet de générer un signal d'horloge ayant une grande plage de fréquences allant de 13 Hz à 407 MHz. L'architecture de ce modulateur repose essentiellement sur des chaînes de délais avec de faibles sensibilités par rapport à la variation du procédé de fabrication.

## **CHAPITRE 2**

# **ÉMISSION ULTRASONIQUE ET SOUS BLOCS : REVUE DE LITTÉRATURE**

### ***2.1 Introduction***

La fonction principale de n'importe quel système ultrasonique est de produire et de détecter des ondes acoustiques. Étant donné que la plupart des générateurs de signaux ainsi que l'amplification, le traitement et l'affichage des signaux sont réalisés à partir des circuits électroniques, un certain dispositif qui permet de convertir la puissance électrique en une puissance acoustique et vice versa est nécessaire. Parmi les dispositifs connus on peut noter les bobines d'induction et les dispositifs magnétostrictifs, cependant les cristaux et les céramiques piézoélectriques demeurent les transducteurs les plus adaptés aux fréquences ultrasoniques.

La plage de fréquence des transducteurs utilisés en médecine se situe entre 1 et 20 MHz. La fréquence de l'onde ultrasonore est la fréquence de vibration de l'élément piézo-électrique (céramique ou polymère) émettrice et réceptrice; en appliquant une impulsion d'excitation de haute tension sur un cristal piézoélectrique, le cristal se comprime et se décomprime alternativement et émet une onde ultrasonore dont la fréquence dépend des caractéristiques du cristal. Le même élément est utilisé pour transformer en signal électrique les ondes ultrasonores qui reviennent vers la sonde après avoir été réfléchis. C'est le transducteur qui transforme une forme d'énergie en une autre.

Pour les sondes des systèmes ultrasoniques, l'énergie électrique est convertie en ultrason et vice versa.

Dans ce chapitre, nous définissons d'abord l'onde ultrasonore et nous décrivons brièvement la méthode d'excitation d'un cristal piézoélectrique. Ensuite, nous examinons les caractéristiques et les coefficients de ce dernier.

En plus, comme il est mentionné dans le chapitre précédent, puisque les émetteurs ultrasoniques conventionnels sont conçus avec des composants discrets et ils sont constitués entre autres d'un convertisseur DC-DC de haute tension, nous abordons dans ce chapitre une revue de littérature générale concernant les générateurs DC qui sont habituellement utilisés pour générer des hautes tensions. Aussi, nous détaillons en particulier les topologies à basse tension les plus efficaces en puissance et les plus utilisées dans la conception de convertisseurs DC-DC totalement intégrés. Il est à noter que la nécessité d'analyser ces deux topologies réside dans leur importance majeure dans la conception du convertisseur DC-DC haute tension proposée.

## **2.2 Les signaux ultrasonores**

Un signal ultrasonore est une onde acoustique qui consiste en un mode de propagation de l'énergie dans un milieu matériel sans transport de matière. Elle est une onde de pression se propageant dans un milieu élastique. Il s'agit de la propagation d'une énergie mécanique dans un milieu matériel. Le milieu de propagation de l'onde ultrasonore est associé à une succession de surpressions et de dépressions et ses particules constitutives

sont alors animées d'un mouvement de va-et-vient dans l'axe de déplacement des ultrasons, de type sinusoïdal. L'onde ultrasonore en déplacement dans un milieu donné se caractérise par sa fréquence ( $f$ ) et sa longueur d'onde ( $\lambda$ ). Ces deux caractéristiques permettent de déterminer la vitesse de propagation des ultrasons ( $v$ ) dans le milieu:

$$v = \lambda f \quad (2.1)$$

où  $v$  dépend des caractéristiques du milieu (élasticité, densité). En effet, elle est définie par:

$$v = \frac{1}{e\sqrt{\rho}} \quad (2.2)$$

où  $\rho$  est la masse volumique (densité) et  $e$  est l'élasticité qui caractérise la capacité du milieu pour retrouver sa forme et sa taille d'origine, après compression et étirement.

Les paramètres déterminants dans la propagation des ultrasons dans les différents milieux sont la densité ou masse volumique ( $\rho$ ) et la vitesse de propagation des sons ( $v$ ). L'impédance acoustique ( $Z$ ) est définie par le produit de ces deux caractéristiques du milieu [JOU93]:

$$Z = v\rho = \frac{\sqrt{\rho}}{e} \quad (2.3)$$

Une interface est constituée de la combinaison de deux milieux d'impédances acoustiques différentes. La valeur de la densité  $\rho$  varie de façon croissante en fonction de la composition du milieu selon la présence des matériaux suivants: air, eau, tissus mous et os. Dans les tissus mous comme dans l'abdomen, la vitesse de propagation moyenne des ultrasons qui est utilisée dans les systèmes ultrasoniques est de 1540 m/s.

### 2.3 Excitation électrique d'un transducteur ultrasonique

Généralement, un transducteur ultrasonique est constitué d'un cristal piézoélectrique coupé comme le montre la figure 2.1a. La matière principale de ce cristal peut être composée de quartz, de titanate de baryum, ou de titanate zirconite de plomb. Les deux faces opposées du cristal sont plantées avec des conducteurs en métal (électrodes). Si une haute tension ( $V$ ) est appliquée aux électrodes de ce cristal, un champ électrique ( $E$ ) est produit à travers l'épaisseur ( $l$ ) du transducteur dont son amplitude peut être montrée comme suit :

$$E = \frac{V}{l} \quad (2.4)$$

Dans n'importe quelle orientation donnée du champ électrique dans les trois directions du cristal, deux types de stress pourraient être créés (cisaillement et compression). Cependant, en pratique, le cristal est habituellement orienté dans la même direction que le champs électrique afin d'avoir un coefficient de stress ( $e_{11}$ ) élevé [CHR88].

En effet, il y a deux natures temporelles de l'excitation électrique d'un transducteur ultrasonique; l'excitation continue (onde continue) et l'excitation impulsée (onde impulsée).

Si une haute tension  $V$  de nature sinusoïdale est appliquée au borne du transducteur tel que  $V = V_0 \cos \omega t$ , des ondes de pression mécanique de même nature peuvent se produire et se propagent à l'intérieur du cristal avec une vitesse de propagation ( $v$ ) frappant les



deux faces opposées du cristal. L'équation de ces ondes de pression peut être exprimée comme suit :

$$p = p_+ \cos(\omega t - kz) \quad (2.5)$$

tel que  $p_+$  est l'amplitude,  $\omega$  est la phase angulaire de l'onde,  $k$  est la constante de propagation et  $z$  est direction de l'onde. La réflexion des ces ondes de pression est proportionnelle à la disparité d'impédance entre le matériel du cristal et les matériaux externes [MCD99].

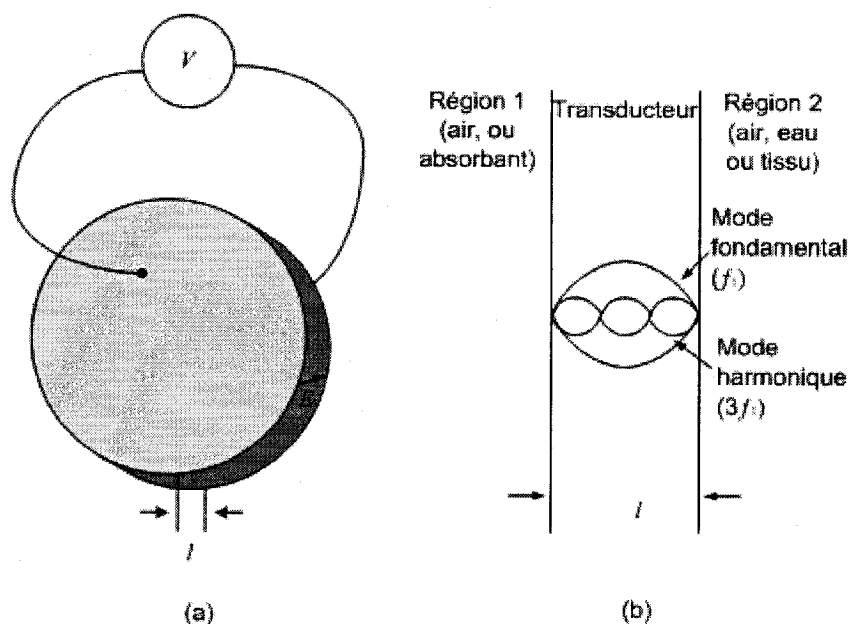


Figure 2.1. Schématisation d'un transducteur: (a) excité par une haute tension, (b) longueurs d'onde de deux ondes ultrasonores générées durant l'excitation.

Seulement quelques fréquences d'excitation sont connues comme des fréquences de résonance du transducteur lorsque le nombre entier de la moitié longueur d'onde des ondes ultrasonores générées par excitation se situe entre les deux interfaces du cristal. Dans ce cas ces ondes ont des pressions négligeables aux deux interfaces c.à.d pas de réflexion.

La figure 2.1b illustre les longueurs d'onde de deux ondes ultrasonores générées durant l'excitation du cristal à sa fréquence de résonance telle que l'onde à mode harmonique oscillant à trois fois la fréquence fondamentale. La basse fréquence ( $f_1$ ) est la fréquence fondamentale telle que sa longueur d'onde ( $\lambda_1$ ) s'intitule entre les interfaces comme suit :

$$\frac{\lambda_1}{2} = l \quad (2.6)$$

En remplaçant la valeur de  $\lambda_1$  dans l'équation (2.1), la valeur de  $f_1$  devient

$$f_1 = \frac{v}{2l} \quad (2.7)$$

En pratique, un transducteur ultrasonique à haute fréquence de résonance est régulièrement excité dans ses modes harmoniques afin d'éviter l'utilisation d'un cristal à épaisseur très fragile [CHR88].

### 2.3.1 La réponse en fréquence et la puissance émit d'un transducteur

Après de chacune des fréquences de résonance, le transducteur peut produire une réponse qui changera selon la proximité de la fréquence de la tension d'excitation par rapport à la fréquence de résonance. La figure 2.2a illustre la variation de la courbe de la densité de puissance émit en fonction de la fréquence autour du point de résonance du transducteur. La largeur de cette courbe est mesurée par la largeur de fréquence  $\Delta f$  aux points de demi puissance tel que le facteur de qualité du transducteur peut être exprimé par (2.8).

$$Q = \frac{f_1}{\Delta f} \quad (2.8)$$

La valeur de  $Q$  est déterminée par les pertes de puissance (absorption ou transmission) produites dans le transducteur. En effet, la perte par transmission de puissance acoustique est plus fréquente que celle par absorption car le transducteur est généralement conçu avec des matières moins absorbantes. Cependant, si l'air forme les régions des deux cotés du transducteur, une grande disparité d'impédance va apparaître.

Cela mène à une grande perte de puissance ainsi à une grande valeur de  $Q$ . Si l'un des cotés touche le tissu humain, le contraire peut se produire telle qu'une puissance de transmission maximale se propagerait dans le corps humain. En pratique, un gel est utilisé afin d'éviter l'air qui réside entre l'une des faces et le tissu humain [HUB00].

Comme le montre la figure 2.2b, si un transducteur est placé entre deux régions tel que ce dernier résonne à sa fréquence de résonance, la vitesse vibratoire des deux cotés du transducteur peut être notée par :

$$U_f = \pm \frac{2e_{ii}E_i}{Z_1 + Z_2} \quad (2.9)$$

tels que  $Z_1$  et  $Z_2$  sont les impédances acoustiques des régions de deux cotés du transducteur,  $e_{ii}$  est le coefficient de stress de matière piézoélectrique et  $E_i$  est le champ électrique appliqué à la borne du transducteur [CHR88].

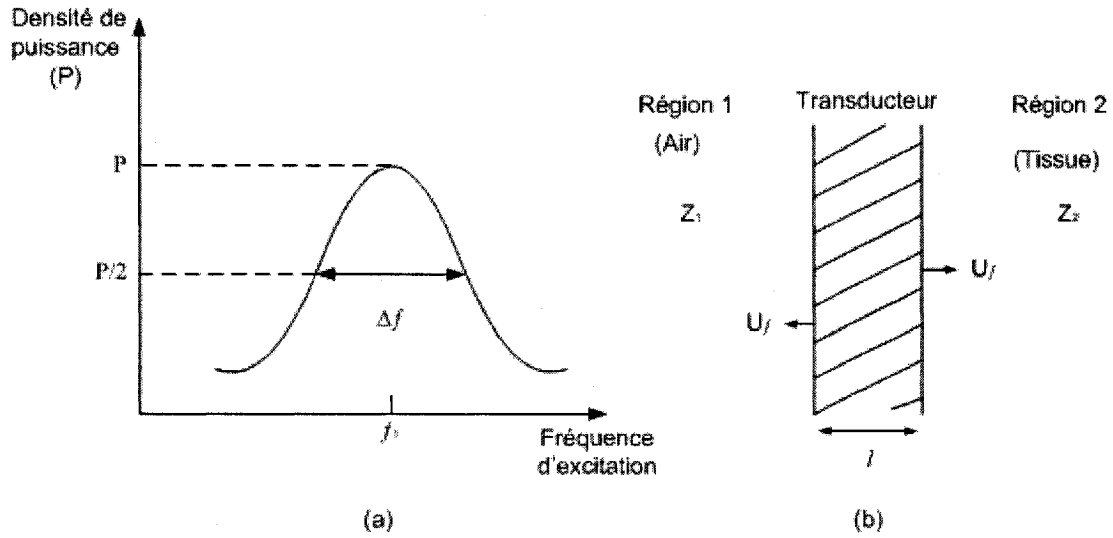


Figure 2.2. Résonance d'un transducteur : (a) la courbe de résonance à la fréquence centrale, (b) la vitesse de vibration des deux faces du transducteur.

Étant donné que la plupart des transducteurs ont de l'air dans l'une de ces deux régions, dans ce cas  $Z_1 \approx 0$  et l'équation (2.9) peut donner la vitesse de vibration de la face qui touche le tissu

$$U_f = \frac{2e_{ii}E_i}{Z_2} \quad (2.10)$$

La densité de puissance émise ( $P$ ) à travers la région 2 de la figure 2.2b peut être déterminée à partir de la relation  $P = ZU_f^2$  en remplaçant  $U_f$  par sa valeur.

$$P = \frac{4e_{ii}^2 E_i^2}{Z_2} \quad (2.11)$$

Si la tension d'excitation est un signal sinusoïdal, remplaçant l'équation (2.4) par sa valeur dans (2.11), la valeur moyenne de la densité de puissance émise peut être exprimée par

$$P_{moy} = \frac{1}{2} P = \frac{2e_{ii}^2 V_0^2}{l^2 Z_2} \quad (2.12)$$

tel que  $V_0$  est l'amplitude crête du signal d'excitation.

Si l'excitation est une impulsion haute tension négative brève obtenue par une décharge rapide d'une capacité en utilisant le même circuit de la figure 1.1, l'onde de pression émit par le transducteur prendra la forme sinusoïdale qui se dégrade exponentiellement. La tension d'excitation à impulsion négative est habituellement simple à générer à partir d'une alimentation haute tension positive [RAM00]. La figure 2.3 présente un exemple d'une impulsion positive brève et l'onde de pression résultante générée par le transducteur. Comme mentionné précédemment, l'excitation du transducteur par une impulsion haute tension produit une onde de pression qui oscille à sa fréquence fondamentale telle que l'enveloppe de cette onde de pression générée se dégrade avec un taux proportionnel aux pertes de densité de puissance interne et d'émission du transducteur [CHR88].

Il est à noter que la période de la densité de puissance émise représente la moitié de la période de l'onde de pression  $1/f_1$  [CIN99]. Le temps d'oscillation d'une onde de pression ( $t$ ) est proportionnel au facteur de qualité du transducteur ( $Q$ ). Pour une excitation en mode contenu (effet Doppler), il est recommandé d'utiliser un transducteur à  $Q$  élevé afin de réduire la réflexion sur les interfaces du tissu humain et améliorer la Résolution Latérale ( $RL$ )  $\propto 1/t$ . Par contre pour un mode impulsé (échographie) il est nécessaire d'utiliser un transducteur à faible  $Q$  afin d'augmenter la détection des interfaces ou la Résolution Axiale ( $RA$ )  $\propto t$ . Un court temps d'oscillation permet

d'augmenter la précision de détection des tissus humains et d'utiliser une fréquence centrale élevée car  $(RA) \propto 1/f_1$  [MCK99].

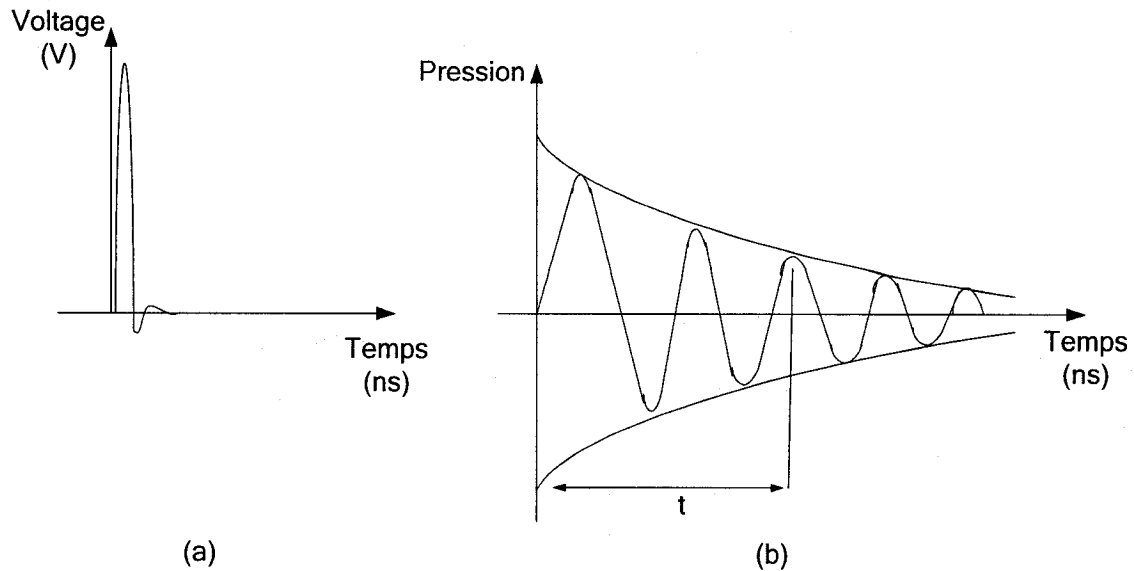


Figure 2.3. Excitation du transducteur: (a) l'impulsion d'excitation à haute tension (b) l'onde de pression générée.

## 2.4 Convertisseur DC-DC

En général, dans toutes les applications haute tension, des alimentations DC allant de 10 V à 300 V sont utilisées pour alimenter ou exciter, comme exemple des circuits à base de transistors haute tension [SAH05], un actionneur micro électromécanique MEMS [HOQ05] ou un élément piézoélectrique comme c'est le cas d'un émetteur ultrasonique [BEAU98]. Afin de générer cette haute tension, plusieurs générateurs DC sont conçus dont la majorité est constituée de composantes passives. Cependant, parmi les générateurs haute tension les plus populaires, on peut noter le convertisseur survolteur (Boost Converter), le convertisseur à transfert indirect (Flyback Converter), le multiplicateur de tension (Voltage Multiplier) et le convertisseur DC-DC à capacités

commutées. En général, ces générateurs haute tension sont utilisés pour éliminer la disparité entre la tension des piles commerciales et la tension requise pour alimenter les circuits désirés. Afin de générer une sortie à haute tension avec une grande plage de courant, ces générateurs sont conçus avec des composants discrets. En se basant sur ces circuits discrets, ces générateurs permettent de produire une efficacité de puissance beaucoup plus élevée comparés aux convertisseurs de tension DC-DC totalement intégrés et cela pour une même tension de sortie modérée.

#### **2.4.1 Le convertisseur survolteur (Boost Converter)**

Le circuit de base de convertisseur survolteur est présenté à la figure 2.4. Il est constitué d'un circuit électronique discret qui prend une tension d'entrée DC et produit à travers un mécanisme de commutation une tension de sortie DC d'une valeur plus élevée que l'entrée mais de même polarité [ZUL03]. Généralement, due à son efficacité de puissance élevée et à sa faible surface, ce circuit est utilisé comme une source de tension DC dans tous les équipements électroniques et en particulier dans le contrôle des moteurs électriques et les systèmes ultrasoniques portables. Il est composé d'un système hybride basé sur une source de tension d'entrée DC et d'autres composants discrets comme par exemple une diode, une inductance passive et un commutateur contrôlé à partir d'une modulation d'impulsions en durée (Pulse Width Modulator-PWM). Le principe de fonctionnement de ce convertisseur peut être expliqué comme suit :

Quand le commutateur (le transistor NMOS) conduit, la tension d'entrée DC est appliquée aux bornes de l'inductance (L) et le courant qui passe à travers celle-ci augmente (rampe vers le haut) et peut s'exprimer par

$$I_{crête} = \frac{V_m T_{on}}{L} \quad (2.13)$$

Quand le commutateur est bloqué, la chute de courant de l'inductance crée, à l'autre extrémité de l'inductance, une tension DC positive. Cette dernière active la diode et permet à la charge capacitive de se charger jusqu'à une tension plus haute que la tension d'entrée tel que le courant qui passe à travers la diode peut être calculé par:

$$\frac{C_{ch} dv_c(t)}{dt} = i_l(t) - \frac{1}{R_{ch}} v_c(t) \quad (2.14)$$

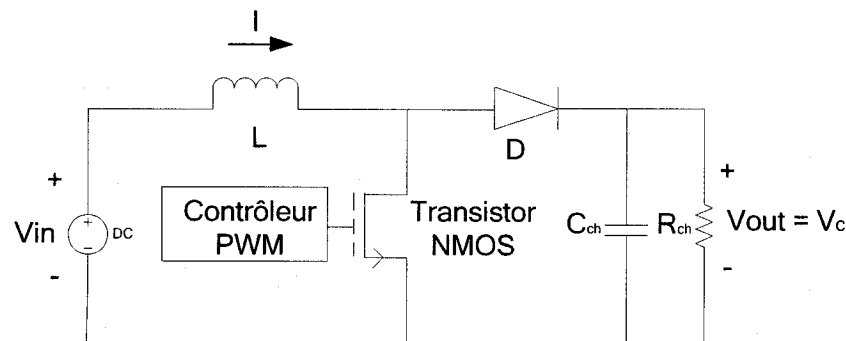


Figure 2.4. Schématique du convertisseur survolteur.

#### 2.4.2 Le convertisseur à transfert indirect (Flyback Converter)

Le convertisseur à transfert indirect prend une faible tension d'entrée DC et produit une ou plusieurs sorties de haute tension, dont certaines sorties sont à polarité opposée [SIU00]. Ce convertisseur est fréquemment utilisé dans les systèmes à piles, où une tension simple doit être convertie en des tensions requises par le système (par exemple,



+50 V, +120 V et -120 V) avec une grande efficacité de puissance. La figure 2.5 présente le circuit d'un convertisseur à transfert indirect à une seule sortie.

Quand le commutateur conduit, la tension d'entrée ( $V_{in}$ ) est appliqué aux bornes de l'inductance primaire ( $L_1$ ) du transformateur qui produit une augmentation du courant à travers celui-ci. Notez que la polarité de la tension aux bornes de l'inductance primaire est négative entraînant une tension de polarité complémentaire sur l'inductance secondaire ( $L_2$ ). Cette tension négative désactive la diode et empêche la circulation du courant dans l'inductance secondaire pendant la conduction du commutateur (transistor NMOS). Dans ce cas, la capacité de charge ( $C_{ch}$ ) se décharge par la résistance de charge ( $R_{ch}$ ) et l'expression du courant peut exprimer par :

$$\frac{C_{ch} dV_c(t)}{dt} = -\frac{1}{R_{ch}} V_c(t) \quad (2.15)$$

Quand le commutateur est bloqué, la chute du courant dans l'inductance primaire génère une tension DC positive à l'extrémité pointillée de cette dernière (figure 2.5). En même temps, une tension de même polarité serait générée dans le circuit secondaire. Cette tension générée active la diode et permet au courant de charger la charge capacitive (équation 2.15).

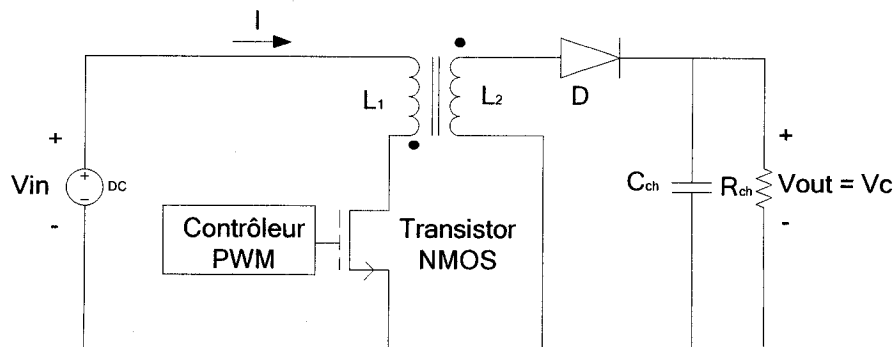


Figure 2.5. Schématique du convertisseur à transfert indirect.

### 2.4.3 Le multiplicateur de tension (Voltage Multiplier)

Le multiplicateur de tension prend une tension alternative et produit une tension de sortie DC d'une valeur plus grande que l'amplitude du signal d'entrée [COC32][OGU02]. Il est composé d'une chaîne des diodes et des capacités connectées en cascades. Le circuit de multiplicateur de tension le plus fréquemment utilisé est le multiplicateur à demi onde illustré dans la figure 2.6.

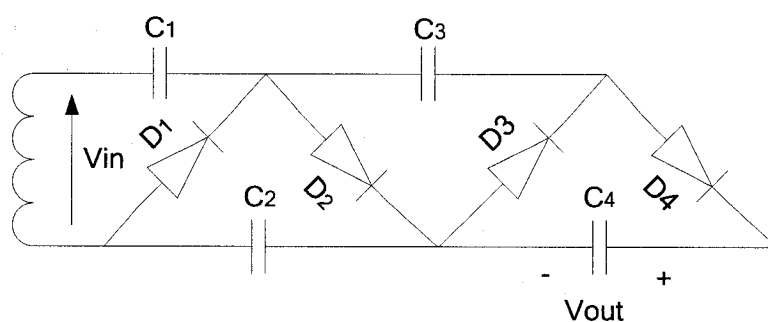


Figure 2.6. Schématique du multiplicateur de tension à demi onde (half wave multiplier).

Il est proposé par Cockcroft Walton dont le principe de fonctionnement est le suivant :

- 1) en cas de  $V_{in}$  = valeur maximale négative ( $-E_{max}$ ) :  $C1$  charge à  $E_{max}$  à travers  $D1$ .
- 2) en cas de  $V_{in}$  = valeur maximale positive ( $E_{max}$ ) :  $E_{max}$  de  $V_{in}$  s'ajoute au potentiel existant de  $C1$ , donc  $C2$  se charge à  $2E_{max}$  à travers  $D2$ .
- 3) en cas de  $V_{in}$  = valeur maximale négative ( $-E_{max}$ ) :  $C3$  charge à  $3E_{max}$  à travers  $D3$ .
- 4) en cas de  $V_{in}$  = valeur maximale positive ( $E_{max}$ ) :  $C4$  charge à  $4E_{max}$  à travers  $D4$ .

#### 2.4.4 Le convertisseur DC-DC à capacités commutées

Le convertisseur DC-DC à capacités commutées prend une tension d'entrée DC et produit une tension de sortie  $2^N$  fois la valeur d'entrée [MAK95]. Il est basé sur des capacités et des commutateurs connectés comme la montre la figure 2.7. Pendant le premier demi cycle d'horloge, le commutateur « 1 » conduit et la capacité C1 est chargée à la tension d'entrée VDD. Pendant le deuxième demi cycle d'horloge, le commutateur « 2 » conduit et « 1 » est bloqué, la capacité C1 est connectée entre VDD et V1. Les deux capacités (C1 et C2) partagent la charge emmagasinée dans C1. L'équation 2.16 montre la relation entre V1, VDD, C1 et C2. Cette dernière nous ramène à l'équation 2.17 ci-dessous.

$$C_1 V_{DD} = C_1 (V_1 - V_{DD}) + C_2 V_1 \quad (2.16)$$

$$V_1 = \frac{C_1}{C_1 + C_2} 2V_{DD} \quad (2.17)$$

Pendant la deuxième période d'horloge, C1 est rechargé à VDD, et C2 partage sa charge  $q = C_2 V_1$  avec C3. Pendant le second demi cycle de la deuxième période d'horloge, la tension au nœud V1 aura une valeur plus grande que la précédente, en raison de la charge restante emmagasinée dans C2 après le partage avec C3. En répétant ces opérations plusieurs fois, V1 continue à augmenter jusqu'à 2VDD. Pour réaliser un gain plus haut que 2VDD, plusieurs étages du doubleur de tension peuvent être cascades. La tension de sortie d'un étage devient la tension d'alimentation de l'étage suivant.

Le tableau 2.1 montre les principaux avantages et inconvénients des convertisseurs DC-DC décrits auparavant.

Tableau 2.1. : Les principaux avantages et inconvénients des convertisseurs DC-DC.

Convertisseur DC-DC	Avantage	Inconvénient
Survolteur	<ul style="list-style-type: none"> <li>- Faible courant de pic</li> <li>- Utilisation d'un commutateur à basse tension de grille</li> <li>- Inductance simple</li> <li>- Commutateur à basse tension de claquage</li> <li>- Une efficacité de puissance élevée</li> </ul>	<ul style="list-style-type: none"> <li>- Produit une augmentation de la tension de sortie (<math>V_{out} &gt; V_{in}</math>)</li> <li>- Tension de sortie reste incomplètement bloquée</li> <li>- Pas de protection du fait de court-circuit</li> <li>- Coût élevé</li> <li>- Grande Surface</li> </ul>
Transfert indirect	<ul style="list-style-type: none"> <li>- La tension de sortie est isolée de l'entrée</li> <li>- Sorties multiples</li> <li>- Augmentation, diminution ou inversion de la tension de sortie</li> <li>- Utilisation d'un commutateur à basse tension de grille</li> <li>- Une efficacité de puissance élevée</li> </ul>	<ul style="list-style-type: none"> <li>- Transformateur à la place de l'inductance (plus encombré)</li> <li>- Grand courant de pic</li> <li>- Commutateur à haute tension de claquage</li> <li>- Coût élevé</li> <li>- Court temps de montée</li> <li>- Capacités parasites élevées</li> <li>- Grande Surface</li> </ul>
Multiplicateur de tension	<ul style="list-style-type: none"> <li>- Une efficacité de puissance élevée</li> <li>- Temps de montée rapide</li> <li>- Faibles capacités parasites</li> <li>- Faible ondulation de la tension de sortie</li> <li>- Augmentation ou inversion de la tension de sortie</li> </ul>	<ul style="list-style-type: none"> <li>- Surface modérée</li> <li>- Impédance de sortie élevée</li> <li>- Ondulation de la tension de sortie élevée</li> </ul>
A capacités commutées	<ul style="list-style-type: none"> <li>- Faible coût</li> <li>- Faible surface</li> <li>- Augmentation ou inversion</li> <li>- Faible ondulation de la tension de sortie</li> <li>- Court temps de montée</li> </ul>	<ul style="list-style-type: none"> <li>- Une efficacité de puissance limitée</li> <li>- Un rapport limité de tension de sortie sur entrée</li> <li>- Ondulation de la tension de sortie élevée</li> </ul>

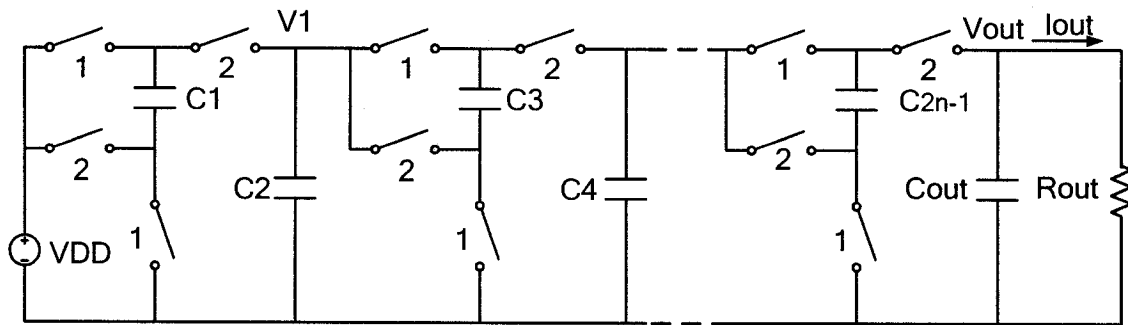


Figure 2.7. Schématique du convertisseur DC-DC à capacités commutées.

#### 2.4.5 Les convertisseurs DC-DC complètement intégrés à tension de sortie modérée

Usuellement les convertisseurs DC-DC complètement intégrés sont utilisés pour alimenter des circuits intégrés ou discrets à basse et moyenne tension. En comparant avec les convertisseurs DC-DC cités aux paragraphes précédents, ces convertisseurs ne sont pas basés sur des composants magnétiques ou autres composants de puissance ce qui leur permettent d'être complètement intégrées. Leurs gains de voltage sont obtenus comme résultat de transfert des charges à une charge capacitive sans impliquer des amplificateurs ou des transformateurs; ainsi les applications liées à ces convertisseurs sont principalement limitées à un faible niveau de puissance fournie [UEN91]. Ces convertisseurs peuvent être utilisés dans plusieurs applications comme exemple des sources d'alimentation pour des amplificateurs opérationnels à basse consommation de puissance [STO88] ou pour des filtres à temps contenu [MON95] telle qu'une tension élevée de la source d'alimentation est requise. Parmi les topologies les plus efficaces et les plus utilisées dans la conception de ces convertisseurs, on peut noter les pompes de charge Dickson et Favrat [DIC76][FAV98].

### ***a) Pompe de charges Dickson***

En générale une pompe de charges Dickson utilise une chaîne de diodes couplées aux entrées par l'intermédiaire de capacités placées en parallèle qui doivent supporter la pleine tension développée sur les nœuds internes le long de la chaîne de diode. Une horloge biphasée est utilisée afin de contrôler le transfert de charges entre les capacités.

Par conséquence, une tension d'alimentation plus élevée est achevée en transférant successivement les quantités de charges le long de la chaîne de diode. En comparant cette topologie à celle de multiplicateur de tension, on peut déduire que son avantage réside dans son efficacité de multiplication malgré les grandes valeurs des capacités parasites sur les nœuds internes et sa capacité de fournir un courant de sortie qui devient indépendant de ces nombres d'étages. La figure 2.8 montre la configuration de base de la pompe de charges Dickson pour  $N$  étages [DIC76]. Les horloges  $\Phi$  et  $\Phi_{\text{barre}}$  sont sans recouvrement d'amplitude  $V_{\Phi}$  et elles sont couplées en mode capacitive à des nœuds alternés le long de la chaîne de diode. Le mode d'opération de cette configuration est basé sur le pompage des quantités de charges le long de la chaîne telles que les capacités couplées qui sont successivement chargées et déchargées pendant chaque demi cycle d'horloge. Cependant, la tension sur les nœuds de la chaîne de diode n'est pas initialisée après chaque cycle de pompage tel que le niveau des potentiels sur les nœuds augmente progressivement de l'entrée vers la sortie de la chaîne. Comme c'est montré dans la figure 2.8, la différence entre les tensions des nœuds  $i$  et  $i + 1$  à la fin de chaque cycle de pompage est donnée par

$$V_{i+1} - V_i = V_{\Phi}^0 - V_{D_i} - V_L \quad (2.18)$$

telle que  $V_{\Phi}^0$  est l'oscillation maximale sur chaque nœud interne produit par l'accouplement capacitive de l'horloge,  $V_D$  est la tension de seuil de la diode  $D_i$  ( $i = 1..N+1$ ), et  $V_L$  est la tension de charge et de décharge des capacités de pompe de charges  $C$  et parasite  $C_P$  sur chaque nœud de la pompe de charges Dickson qui produit en conséquence un courant de sortie  $I_{out}$ .

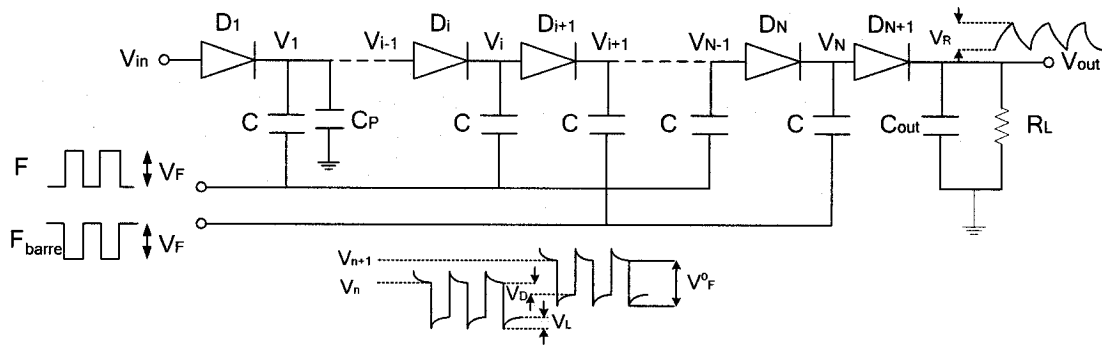


Figure 2.8. Schématique de la pompe de charges Dickson pour N étages.

Cependant l'oscillation maximale de la tension  $V_{\Phi}^0$  générée sur chaque nœud interne par le diviseur capacitif et fournit par les capacités de pompe de charges  $C$  et les capacités parasites  $C_P$ , peut être exprimé comme suit :

$$V_{\Phi}^0 = \left( \frac{C}{C + C_P} \right) V_{\Phi} \quad (2.19)$$

En outre, puisque la charge pompée par chaque diode pendant un cycle d'horloge est  $q = (C + C_P)V_L$ , le courant livré à la sortie de la pompe de charges Dickson pour une fréquence d'horloge  $f$  est donné par :

$$I_{out} = f (C + C_P) V_L \quad (2.20)$$

En remplaçant  $V_{\Phi}^0$  et  $V_L$  par leurs valeurs, l'équation (2.18) donne :

$$V_{i+1} - V_i = \left( \frac{C}{C + C_p} \right) V_{\Phi} - V_{D_i} - \frac{I_{out}}{f(C + C_p)} \quad (2.21)$$

ce qui donne pour N étages :

$$V_N - V_{in} = N \left[ \left( \frac{C}{C + C_p} \right) V_{\Phi} - V_D - \frac{I_{out}}{f(C + C_p)} \right] = NV_G \quad (2.22)$$

tel que  $V_{in}$  est la tension d'entrée continue et  $V_G$  est le gain de tension de pompage de chaque étage.

En pratique, une diode additionnelle est ajoutée à la sortie de la pompe de charge Dickson afin d'isoler l'influence de l'horloge du nœud de sortie. Ensuite, la tension maximale de la tension de sortie peut être exprimée par :

$$V_{out} = V_{in} + N \left[ \left( \frac{C}{C + C_p} \right) V_{\Phi} - V_D \right] - V_D - \frac{NI_{out}}{f(C + C_p)} \quad (2.23)$$

Il y a également une tension d'ondulation  $V_R$  produite à la sortie de la pompe de charges Dickson et cela est dû à la charge résistive ( $R_L$ ) qui provoque une décharge de la charge capacitive de sortie  $C_{out}$  [TAN97]. Généralement la valeur de  $C_{out}$  est choisie suffisamment grande afin que  $V_R$  soit petite comparée à la tension de sortie  $V_{out}$  de sorte que

$$V_R = \frac{I_{out}}{fC_{out}} = \frac{V_{out}}{fR_L C_{out}} \quad (2.24)$$

D'après l'équation (2.24) cette tension d'ondulation peut être réduite par l'augmentation de la fréquence d'opération, ce qui provoque une diminution de la tension de sortie. Cette diminution est due à l'augmentation des capacités parasites sur les nœuds internes. Cependant, l'augmentation de la valeur de  $C_{out}$  résulte en un long temps de



montée de la tension de sortie avant d'aboutir à l'état stable [PYL00]. Donc un compromis doit être fait entre ces deux paramètres afin d'avoir une faible tension d'ondulation.

En pratique, il y a aussi une tension d'ondulation additionnelle provoquée par le couplage capacitive des signaux d'horloge à travers les diodes. Dans le cas de deux horloges sans recouvrement, une tension d'ondulation se produit à la sortie par le couplage capacitive de l'horloge  $\Phi_{\text{barre}}$  à travers la diode d'isolation  $D_{N+1}$ . Tandis que, dans le cas de deux horloges avec recouvrement le même phénomène se produit pour l'horloge  $\Phi$  et cela quand la diode d'isolation est en conduction. Cependant la tension d'ondulation additionnelle peut être exprimé par :

$$V_{\text{ond}} = \left( \frac{C_D}{C_{\text{out}} + C_D} \right) V_{\Phi}^o \quad (2.25)$$

tel que  $C_D$  est la capacité parasite à la borne de chaque diode. Dans le cas de deux horloges sans recouvrement la tension d'ondulation totale est :

$$V_R = \frac{I_{\text{out}}}{fC_{\text{out}}} + \frac{C_D V_{\Phi}^o}{C_{\text{out}} + C_D} \quad (2.26)$$

et dans le cas de deux horloges avec recouvrement cette tension sera exprimée par :

$$V_R = \frac{I_{\text{out}}}{fC_{\text{out}}} + \frac{2C_D V_{\Phi}^o}{C_{\text{out}} + C_D} \quad (2.27)$$

De plus, l'équation (2.21) montre que la multiplication de voltage ne s'accomplit que si l'expression ci-dessous est satisfaite.

$$\left( \frac{C}{C + C_p} \right) V_{\Phi} - V_D - \frac{I_{\text{out}}}{f(C + C_p)} > 0 \quad (2.28)$$

Il est à noter que cette expression est indépendante du nombre d'étages  $N$ , donc en principe il n'y a pas de limite concernant le nombre d'étages pour ce genre de multiplieur.

En outre, l'équation (2.20) montre que le courant livré à la sortie est indépendant du nombre d'étages  $N$ . Aussi d'après l'équation (2.23) on a :

$$V_{out} = V_o - I_{out} R_s \quad (2.29)$$

tel que

$$V_o = V_{in} - V_D + N \left[ \left( \frac{C}{C + C_p} \right) V_\phi - V_D \right] \quad (2.30)$$

et

$$R_s = \frac{N}{f(C + C_p)} \quad (2.31)$$

Cependant l'équation (2.29) mène à un simple circuit équivalent à ce multiplieur (figure 2.9) tel que  $V_{out}$  et  $R_s$  représentent respectivement la tension et la résistance de sortie du multiplieur en circuit ouvert.

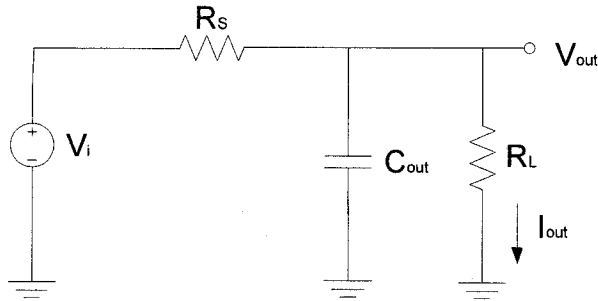


Figure 2.9. Circuit équivalent de la pompe de charges Dickson de  $N$  étages.

L'efficacité de puissance de la pompe de charge Dickson de  $N$  étages est définie comme étant le rapport de la valeur moyenne de la puissance livrée à la sortie sur celle de la puissance totale consommée à l'entrée. Cette efficacité peut être exprimée par :

$$\eta = \frac{(V_0 - R_s I_{out}) I_{out}}{P_{in}} \quad (2.32)$$

tel que  $P_{in}$  inclut la puissance dissipée dû aux résistances dynamiques des diodes, aux éléments parasitiques et aux « buffers » des signaux d'horloges [DIC76].

En pratique, dans les circuits intégrés les diodes sont remplacées par des transistors de type N telles que leurs grilles sont connectées avec leurs drains comme illustrés dans la figure 2.10. En conséquence, dans les équations précédentes, la tension de seuil de la diode  $V_D$  est remplacée par celle de la grille source  $V_T$  du transistor NMOS. Cependant, l'augmentation successive de la tension sur les nœuds internes provoque une augmentation entre le substrat et les sources des transistors NMOS. Ce qui résulte en une augmentation de la tension de seuil de chaque transistor, dû à l'effet du canal.

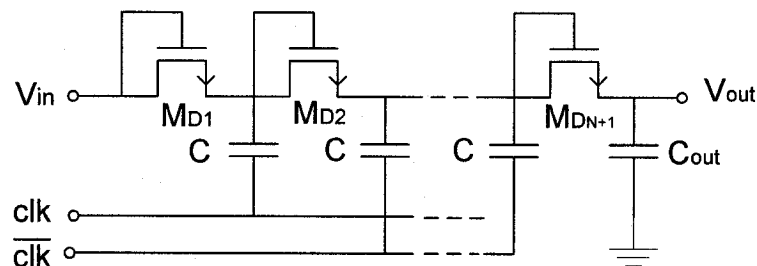


Fig. 2.10 Schématique de la pompe de charges Dickson intégrée pour N étages

Afin de surmonter ce problème, un commutateur de type N ( $M_{Si}$ ) est utilisé dans chaque étage. Une illustration d'un tel circuit est présentée à la figure 2.11 [WU98]. Les transistors  $M_{D1}$ - $M_{D4}$  connectés dans une configuration de diodes servent à initialiser les tensions sur les nœuds du circuit. Ces derniers ne sont pas impliqués dans l'opération de pompage de charges. Les transistors  $M_{S1}$ - $M_{S4}$  sont utilisés pour transférer unidirectionnellement les charges d'un nœud du circuit à un autre. L'idée est d'utiliser la

haute tension fournie au nœud de sortie de l'étage court pour contrôler la tension de la grille du transistor  $M_{Si}$  de l'étage précédent afin d'annuler la chute de tension due à la tension de seuil du transistor  $M_{Di}$ . En conséquence, le gain en tension de chaque étage augmente. L'inconvénient d'une telle topologie réside dans le fait que le transistor  $M_{Si}$  n'est pas complètement désactivé durant une phase d'horloge donnée provoquant ainsi une réduction du transfert de charges.

Pour résoudre ce problème, des modifications plus compliquées sont appliquées au circuit de Dickson afin d'augmenter le gain de tension par étage comme par exemple l'utilisation du transistor PMOS avec une tension du substrat contrôlée [SHI00] ou l'utilisation d'un circuit commandé par quatre horloges [KHO02].

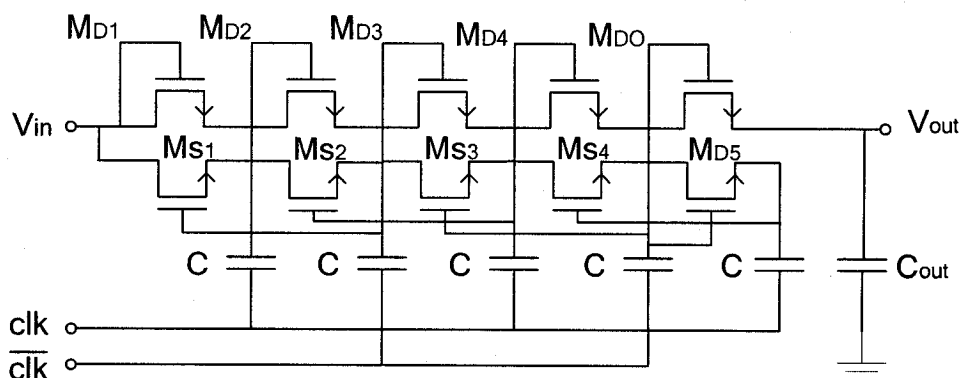


Figure 2.11. Schématique de la pompe de charges Dickson améliorée intégrée pour N étages.

### ***b) Autres architectures de pompe de charges***

Une autre classe de pompe de charge dédiée aux opérations à basse tension, basse consommation et haute fréquence a été introduite récemment [NAK91]. Elle est constituée par des étages cascades de doubleurs de tension qui sont basés sur la technique des capacités commutées. Chaque étage est composé de deux circuits CMOS, un circuit

de doubleur de tension qui joue le rôle d'un propulseur d'horloge (Clock Booster) et un circuit de transfert de charges. Le premier circuit est constitué de deux transistors de type N à connexion croisée telle que chaque source est connectée à une capacité de pompe de charges (figure 2.12). Cependant, les drains de ces transistors sont connectés à l'entrée DC du circuit et ce dernier est commandé par deux horloges sans recouvrement ( $clk$ ,  $clk_{\text{barre}}$ ). Les horloges  $clk_1$  et  $clk_2$  sont respectivement les compléments des horloges  $clk$  et  $clk_{\text{barre}}$  générés sur les nœuds internes ( $V1$  et  $V2$ ) de l'étage.

L'utilisation de NMOS est efficace non seulement en raison de la vitesse plus élevée de ses porteurs mais notamment par la polarisation automatique inverse de ces jonctions qui évitent la décharge de la capacité de pompe de charges. En outre, afin de produire à travers ce circuit une sortie DC doublée avec une efficacité de puissance élevée, un commutateur sériel est requis et ceci peut être accompli seulement par un transistor PMOS car l'utilisation d'un transistor NMOS provoque une chute de la tension de seuil  $V_{th}$ . Cependant, l'augmentation de la tension de sortie de ce circuit plus grande que la tension de polarisation du puit N-Well du transistor PMOS résulte en une perte de gain de tension due à la polarisation directe des jonctions internes du PMOS. Afin d'éviter ce problème, une solution est proposée [CHO94], basée sur l'utilisation de deux pompes de charges, l'une pour produire la tension DC requise et l'autre pour pousser la tension de puit N-Well du transistor PMOS tel que le potentiel de ce puit est connecté à la charge capacitive de la deuxième pompe de charges. En effet, cette solution proposée résout le problème de polarisation direct de la jonction du transistor PMOS du premier circuit mais

pas celui du deuxième circuit. Il est à noter que le potentiel du puit du transistor PMOS du deuxième circuit est flottant et connecté à une capacité dont le potentiel est très proche de la tension de sortie du premier circuit. Pour ce fait, une meilleure solution est proposée [FAV98]. Elle est basée sur la technique de commutation de la tension de substrat tels que deux transistors PMOS (M5-M6) à dimension minimale sont utilisés et connectés au circuit principal comme c'est montré à la figure 2.12. Ces transistors servent à maintenir aux puits des transistors PMOS (M3-M4) une tension plus grande que la tension de sortie du circuit. En outre, une faible valeur de la capacité  $C_B$  doit être choisie afin de charger cette dernière rapidement à la haute tension.

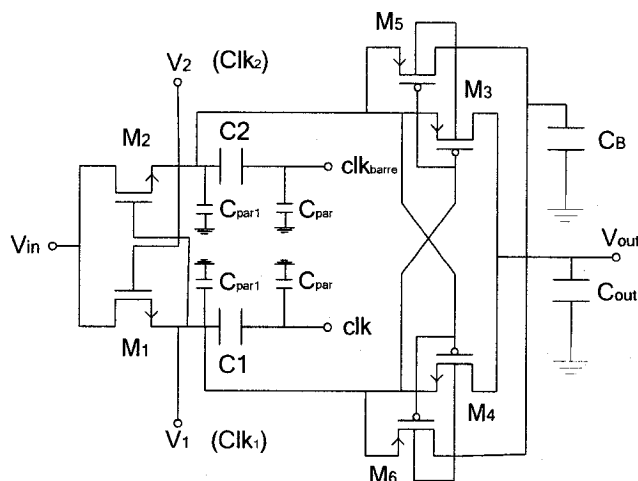


Figure 2.12. Schématique de l'étage de doubleur de tension de pompe de charge avancée.

Pour expliquer le bon fonctionnement de l'étage du doubleur de tension de la figure 2.12, on suppose que les charges des capacités de pompage sont initialisées à 0 Volts [PEL03]. Pendant le premier demi cycle d'horloge,  $\text{Clk} = V_{dd}$ ,  $\text{Clk}_{\text{barre}} = 0$ , les transistors M2 et M4 conduisent; la capacité C2 est chargée à  $V_{in}$  à travers le transistor M2, alors que C1 est déchargée à  $V_{out}$  ( $V_{in} + V_{dd}$ ), à travers le transistor M4. De même, pendant le

deuxième demi cycle d'horloge,  $\text{Clk} = 0$ ,  $\text{Clk}_{\text{barre}} = V_{\text{dd}}$ , les transistors M1 et M3 conduisent; la capacité C1 est chargée à  $V_{\text{in}}$  à travers M1, alors que la capacité C2 est déchargée à  $V_{\text{out}}$ , à travers M3. Donc, la tension de sortie obtenue  $V_{\text{out}}$  de l'étage après le deuxième cycle d'horloge est égale à  $V_{\text{in}} + V_{\text{clk}}$ . Un gain de tension obtenu entre  $V_{\text{in}}$  et  $V_{\text{out}}$  est exprimé par l'équation (2.33) ainsi que la résistance série de sortie de l'étage est exprimée par l'équation (2.34).

$$\Delta V = V_{\text{dd}} \frac{C}{C + C_{\text{par1}}} - R_S I_S \quad (2.33)$$

$$R_S = \frac{1}{2(C + C_{\text{par1}})f} \quad (2.34)$$

tel que  $C = C1 = C2$ ,  $C_{\text{par1}}$  est la capacité parasite sur les nœuds internes  $V_1$  et  $V_2$  de l'étage et  $f$  est la fréquence d'opération du circuit. Dans l'équation (2.34), le facteur 2 représente les deux capacités de pompe de charge (C1, C2) qui commutent à chaque phase d'horloge [ALI04].

Habituellement, la valeur des capacités de pompe de charges peut être réduite en augmentant la fréquence d'opération du circuit, mais par conséquence l'efficacité de puissance diminue car la valeur des capacités parasites augmente sur les nœuds internes du circuit. Ainsi, afin d'aboutir à une efficacité de puissance élevée, une optimisation doit être faite sur les dimensions des transistors, la fréquence d'opération et la valeur des capacités de pompe de charges [FAV98].

En cascadeant  $N$  étages de doubleurs de tension, la sortie devient égale à  $V_{\text{out}} = V_{\text{dd}} + N\Delta V = V_{\text{in}} + N V_{\text{clk}}$ . Cependant, le nombre d'étages peut être déterminé en combinant la

valeur de la capacité de pompe de charges avec celle de la fréquence d'opération et le courant afin de trouver la valeur appropriée de la tension de sortie [RIC04].

En utilisant la technique de commutation de la tension de substrat, l'efficacité de puissance sera limitée par les pertes dues à la résistance de sortie de l'étage de doubleur de tension et à la résistance dynamique des commutateurs du circuit.

L'efficacité de puissance de l'étage peut être exprimée comme suit :

$$\eta = \frac{E_L}{E_L + E_S} \quad (2.35)$$

telle que  $E_L$  est l'énergie livrée à la charge résistive de sortie  $R_L$  (Figure 2.13) et donnée par

$$E_L = \frac{V_{out}^2}{f R_L} \quad (2.36)$$

et  $E_S$  est la perte d'énergie due à la commutation des capacités de pompe de charges et des capacités parasites sur les nœuds internes du circuit.

$$E_S = 2C_{par1} V_{in}^2 + 2C \Delta V_{out}^2 \quad (2.37)$$

tel que  $\Delta V_{out}$  est la chute de tension due à la résistance de sortie  $R_S$ . Cependant, la tension de sortie  $V_{out}$  peut être exprimée par:

$$V_{out} = 2V_{in} \frac{R_L}{R_L + R_S} \quad (2.38)$$

Généralement,  $C_{par}$  est la somme des capacités parasites du plateau inférieur de la capacité de pompe de charge intégrée ( $C$ ), de la charge capacitive de sortie du générateur d'horloge et des plots d'entrée de la puce (figure 2.12). Il est à noter que  $C_{par} \gg C_{par1}$ . Pour une capacité de pompe de charges externe, la capacité  $C_{par1}$  n'est pas négligeable et  $C_{par}$  devient la somme des capacités parasites des plateaux inférieurs et supérieurs de  $C$



[ALI04]. Ainsi,  $C_{\text{par}}$  peut être considérée comme une fraction fixe  $\beta$  de  $C$ . Par conséquence, l'efficacité de puissance du circuit devient :

$$\eta = \frac{1}{1 + \beta C f \frac{(R_L + R_s)^2}{R_L} + 2C f \frac{R_s^2}{R_L}} \quad (2.39)$$

telle que cette dernière prend une valeur maximale pour

$$R_L = R_s \sqrt{1 + \frac{\beta}{4}} \quad (2.40)$$

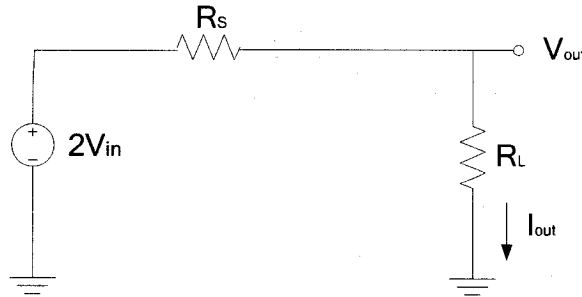


Figure 2.13. Circuit équivalent de l'étage de doubleur de tension.

Pour améliorer l'efficacité de puissance du circuit, plusieurs points peuvent être considérés. En effet, les composants les plus importants dans ce circuit de doubleur de tension, en ce qui concerne l'efficacité de puissance, sont les capacités de pompe de charges. Cependant, si ces capacités sont intégrées, elles possèdent toujours des capacités parasites connectées à la masse même si la technologie SOI (Silicon-On-Insulator) est utilisée. Selon [FAV98], la fraction  $\beta$  pour la capacité intégrée Poly-Poly est de 0.05 se qui résulte en une efficacité de puissance maximale de 80 % qui est calculée pour une faible tension d'entrée. L'efficacité de puissance maximale est présentée dans le tableau 2 pour différents types de capacité. Par contre, la capacité externe a une faible fraction  $\beta =$

0.002 de façon que pour une tension d'entrée supérieure à la tension de seuil du transistor CMOS, une efficacité de puissance de valeur 95.6 % est obtenue [FAV98]. Donc une efficacité de puissance d'environ 100 % peut être achevée si une grande charge résistive  $R_L$  est utilisée comparant à la résistance de sortie  $R_s$  du circuit [ALI04].

En plus, l'efficacité de puissance est proportionnelle à la valeur moyenne de la tension de sortie DC. Cette dernière est proportionnelle à la quantité de charge emmagasinée et introduit dans la capacité de pompe de charge. Donc, plus la valeur de cette capacité est grande, plus la tension de sortie est élevée.

$$Q_{ch} = C_{ch} V_m \quad (2.41)$$

$$V_{out} = \frac{Q_{ch}}{C_{out}} \quad (2.42)$$

De même, l'efficacité de puissance est proportionnelle à la valeur moyenne de courant de sortie et ce dernier est proportionnel à la quantité de charge emmagasinée et introduite dans la capacité de pompe de charge. Il est aussi proportionnel à la fréquence d'opération du circuit.

$$I_{out} = \frac{Q_{ch}}{t_{clk}} = \frac{C_{ch} V_{ch}}{t_{clk}} = C_{ch} V_{ch} f_{clk} \quad (2.43)$$

Donc une augmentation du courant de sortie requiert une augmentation de la fréquence d'opération, une augmentation de la valeur de la capacité de pompe de charge ainsi qu'une diminution de la valeur des capacités parasites afin d'éviter le phénomène de partage de charges avec celles de la pompe de charge. Cette diminution peut être réalisée en utilisant des transistors CMOS à dimension minimale.

Pour une fréquence d'opération supérieure à 1 MHz, la perte de puissance dynamique devient importante du point de vue efficacité de puissance du circuit. Cependant, cette perte peut être évitée en utilisant deux horloges sans recouvrement utilisées pour commander les grilles des transistors de transfert de charges (M3 et M4) ainsi que ( $clk_3$ ,  $clk_4$ ) utilisées pour commander les grilles des transistors à connexion croisée M1 et M2 (figure 2.12). Les signaux d'horloges  $clk_3$  et  $clk_4$  doivent être sans recouvrement quand les deux sont au niveau bas tandis que  $clk$  et  $clk_{barre}$  doivent être sans recouvrement quand les deux sont au niveau haut [KIM01] (figure 2.14).

En effet, les signaux de commande des grilles des transistors M1 et M2 doivent être au niveau bas bien après que le niveau haut des signaux d'horloge  $clk_3$  et  $clk_4$  se produit et doivent devenir haut avant que les deux autres signaux d'horloge deviennent au niveau bas.

Tableau 2.2. : Efficacité de puissance maximale pour différents types de capacités.

Type de capacité	$\beta$	Efficacité de puissance [%]
Poly-métal	0.2-0.5	50-64
Oxyde mince	0.05-0.15	68-80
Double poly	0.05	80
Externe	0.002	95.6

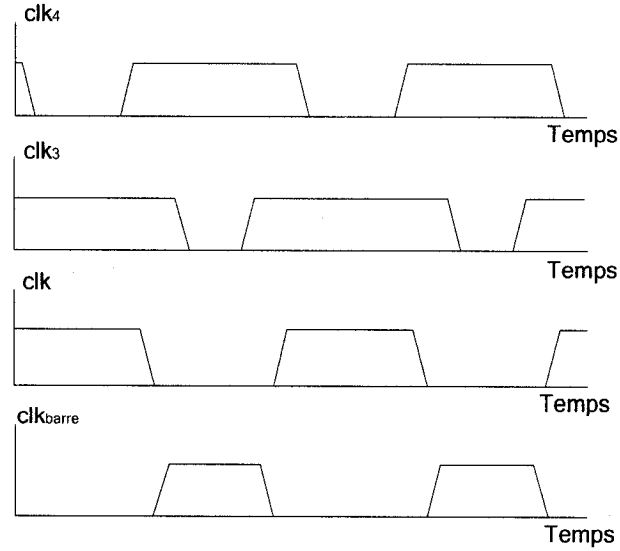


Figure 2.14. Forme d'ondes des signaux d'horloges  $clk$ ,  $clk_{barre}$ ,  $clk_3$  et  $clk_4$ .

En outre, l'efficacité de puissance peut être améliorée en augmentant la conductance des transistors (M3 et M4) de transfert de charges telle que cette dernière est exprimée par:

$$g_{ds} = \sqrt{\mu C_{ox} \left( \frac{W}{L} \right) (V_{gs} - |V_t|)} \quad (2.44)$$

Donc, pour diminuer la résistance dynamique  $R_{ON}$  de ces transistors, les dimensions de M3 et M4 peuvent être augmentées ce qui résulte en une augmentation des capacités parasites sur le drain et la source des transistors en question. Afin d'éviter le phénomène de partage de charges, les dimensions de transistors (M3 et M4) doivent avoir une valeur minimale alors que la tension sur leurs grilles peut être augmentée afin d'améliorer leurs conductances (M3-M4). D'après la fonctionnalité du circuit, le niveau de tension sur la grille de ces transistors varie entre  $V_{in}$  et  $2V_{in}$ . La conductance de ces transistors peut être améliorée considérablement si la tension sur la grille varie entre 0 et  $2V_{in}$ . Pour achever ce survoltage, Favrat et al. ont proposé une méthode basée sur un circuit d'élévateur de

niveau de tension (Level Shifter –LS) connue dans ce domaine. La figure 2.15 montre l'intégration de ce dernier avec l'étage de doubleur de tension où la tension d'alimentation du LS se dérive de la sortie de l'étage de doubleur de tension. Donc, ce LS commandé par les deux horloges sans recouvrement  $clk$  et  $clk_{barre}$ , sert à amplifier l'amplitude de la tension grille source des transistors PMOS d'une valeur  $2V_{in}$ . Afin d'augmenter l'efficacité de puissance de l'étage et de garantir le démarrage de l'étage de doubleur de tension, un circuit auxiliaire est intégré avec ce circuit. La génération d'une tension DC de  $3V_{in}$  sur les nœuds  $V_3$  ou  $V_4$  permet à l'étage d'opérer avec une tension d'entrée  $1/3$  la tension d'alimentation de la technologie.

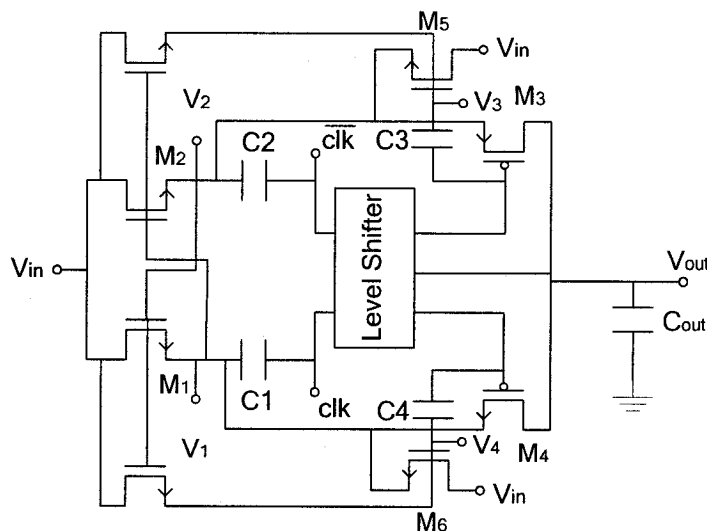


Figure 2.15. Schématique de l'étage de doubleur combiné avec le LUS et le circuit de démarrage.

#### 2.4.6 Circuit d'amplification de niveau de signaux (Level-up-Shifter - LUS)

Habituellement le circuit d'amplification de niveau de signaux (Level-up-Shifter - LUS) est utilisé pour commander les transistors de transfert de charges de type P de l'étage du doubleur de tension avancée, est constitué d'une configuration de transistor

MOS complémentaire qui agit comme un inverseur (figure 2.16a). Ce circuit est utilisé pour augmenter la conductance des transistors PMOS afin d'améliorer l'efficacité de puissance de cet étage.

Ce circuit est commandé par un signal d'horloge d'amplitude maximale égale à la tension d'alimentation de la technologie. Il est à noter que la tension d'alimentation de ce circuit est générée à la sortie de l'étage. Cependant, à haute fréquence, un court-circuit dû à la conduction provisoire des deux transistors MOS, peut se produire. Par conséquent, une faible efficacité de puissance peut être signalée. Afin d'éviter ce problème, un circuit LUS plus complexe opérant à haute fréquence et à basse tension est utilisé [FAV98] (même configuration qu'à la figure 2.16b mais avec des transistors basse tension). Il est constitué d'un circuit LU et d'un étage de sortie de classe D. Ce dernier agit en tant qu'inverseur de sorte que le transistor NMOS est commandé par des niveaux logiques 0 et  $V_{DD} = 5\text{ V}$ , alors que le transistor PMOS est commandé par l'une des sorties du circuit LU. D'autre part, cet étage est basé sur des miroirs de tension à connexion croisée. Ces miroirs de tension appliquent aux drains des transistors PMOS (MP2-MP3) une tension d'amplitude oscillant entre  $V_{DDH}-V_{DD}$  et  $V_{DDH}$ .

En outre, le circuit LU est composé d'une paire différentielle de transistors NMOS (MN1- MN2) connectée à leurs charges actives. Ces charges actives sont constituées de transistors PMOS (MP1-MP4) connectés dans une configuration de diode [BAL99]. Ainsi, ces miroirs de tension à connexion croisée forment une bascule qui sert à fournir la tension de commande de la grille du transistor PMOS de l'étage de sortie. Cependant,

cette configuration de LUS peut opérer à haute fréquence avec une faible consommation de puissance comparant à la configuration de base [FAV98].

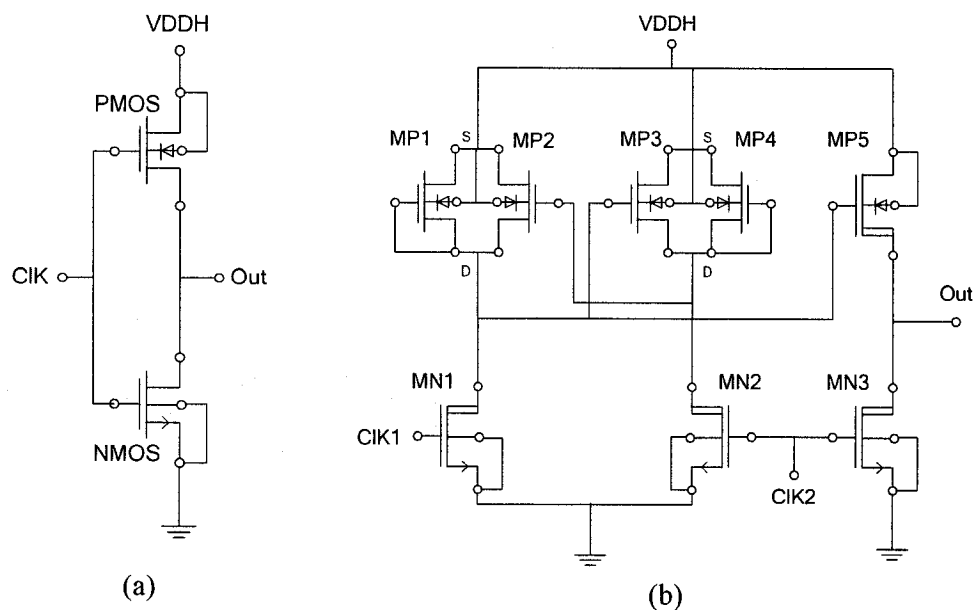


Figure 2.16. Level-up-Shifter : (a) Schématique de base, (b) Schématique de LUS proposé par Declercq et al. [DEC93].

Ainsi, cette configuration de LUS est utilisée dans plusieurs applications haute tension comme une interface ou un circuit d'amorçage de la grille d'un transistor MOS (Gate Driver) placé entre le circuit de contrôle basse tension et les transistors haute tension MOSFET. La figure 2.16b montre une configuration modifiée de ce LUS proposée par Declercq et al. [DEC93] pour des applications haute tension. Elle est basée sur des transistors HVC MOS qui remplacent les transistors basse tension dans l'étage LU et l'étage de sortie afin qu'ils puissent supporter des tensions d'alimentation de haute tension.

Ce LUS a été implémenté en technologie  $2\ \mu\text{m}$  5 V / 120 V HV CMOS. Pour une fréquence d'horloge de 500 kHz, une charge capacitive  $C_{\text{charge}} = 30\ \text{pF}$  et  $V_{\text{DDH}} = 50\ \text{V}$ , la consommation de puissance mesurée de son étage LU est de 0.55 W et le temps de montée et de descente est d'environ 80 ns. De même Richard et al. ont apporté une légère modification en utilisant la technologie  $0.8\ \mu\text{m}$  5 V / 400 V CMOS/DMOS fournie par DALSA Semiconductor [RIC03]. Cette modification est localisée dans les charges actives de la paire différentielle du circuit LU tels que les transistors PMOS connectés dans une configuration de diode et les transistors pull-up ((MP2-MP3) sont remplacés par des transistors HVPMOS afin que la jonction Well-Substrat puisse supporter une alimentation à très haute tension.

En profitant des avantages de la technologie combinés avec une optimisation du courant de polarisation, une réduction de la consommation de puissance est obtenue pour ce circuit avec une augmentation de surface et du temps de montée et descente de la tension de sortie. La consommation de puissance simulée est de 0.63 W pour une fréquence d'horloge de 1.25 MHz,  $C_{\text{charge}} = 50\ \text{pF}$  et  $V_{\text{DDH}} = 100\ \text{V}$  et le temps de montée et de descente simulé est d'environ 300 ns.

Récemment, une configuration améliorée de ce LUS à faible consommation de puissance et à faible surface est proposée par Huang et al. [HUA04]. La figure 2.17 montre ce LUS qui est constitué du circuit LU et d'un étage de sortie de classe D. Une capacité additionnelle est utilisée pour maintenir sur la grille de transistor HVPMOS (MP3) une tension  $V_{\text{DDH}} - V_{\text{DD}}$  lorsque les transistors HVNMOS (M1-M2) sont en



mode de conduction. Ces transistors sont contrôlés par des impulsions brèves totalement chevauchées ( $V_{gn1}$ ,  $V_{gn2}$ ) générées par un circuit de commande constitué par de portes logiques. Ces brèves impulsions réduisent la consommation de puissance du LU.

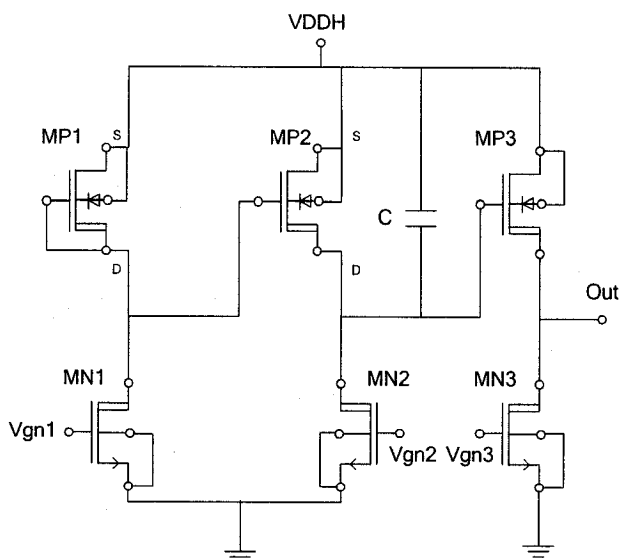


Figure 2.17. Schématique de LUS proposé par Huang et al. [HUA04].

Ce circuit est implémenté en utilisant la technologie de DALSA Semiconductor. L'inconvénient de ce circuit réside dans la sensibilité de biais (Skew) entre les impulsions  $V_{gn1}$  et  $V_{gn2}$  qui impose une limitation d'opération de cette configuration à très basse fréquence (quelque hertz). En plus, ce circuit possède une grande difficulté d'opérer après fabrication car il impose l'utilisation de signaux très précis pour contrôler les délais de son circuit de commande.

## 2.5 Conclusion

Dans ce chapitre, nous avons décrit brièvement les principes de base des signaux utilisés dans l'imagerie ultrasonore. L'excitation et la méthode d'activation d'un

transducteur ultrasonore utilisé pour générer ces signaux, ainsi que la réponse en fréquence et la puissance émise de ce transducteur ont été présentées. Une revue de littérature concernant les principales techniques de conception des divers modules d'un émetteur ultrasonique a été élaborée telles que les différentes méthodes de conception de l'émetteur ultrasonique présenté dans le premier chapitre. Comme exemple de modules, on note les différents types discrets et intégrés de convertisseurs DC-DC de haute tension. Ces derniers peuvent être utilisés pour exciter ce transducteur ainsi que les élévateurs de niveau de tension (LUS). Les LUS peuvent aussi être utilisés pour activer un transducteur ultrasonique, amorcer la grille des transistors hautes tensions ou former un circuit particulier (module) d'un convertisseur DC-DC.

Les avantages ainsi que les inconvénients des ces convertisseurs DC-DC et ces élévateurs de niveau de tension ont été énumérés et expliqués dans ce chapitre. La comparaison de ces circuits au niveau discret montre que ces derniers nécessitent un grand espace d'implémentation mais dissipent moins de puissance que les circuits au niveau intégré. Cependant les convertisseurs DC-DC sont encore limités au niveau tension de sortie dus à plusieurs problèmes d'intégration à haute tension. Des solutions pour remédier à cette lacune seront exposées dans les prochains chapitres.

## **CHAPITRE 3**

### **FULLY INTEGRATED HIGH-VOLTAGE FRONT-END INTERFACE FOR ULTRASONIC SENSING APPLICATIONS**

#### **3.1 Résumé**

Dans le chapitre précédent, il était question d'une introduction aux techniques conventionnelles de la conception des circuits analogiques haute tension dédiés pour diverses applications. Nous présentons dans ce chapitre une nouvelle technique permettant la réalisation d'une version intégrée sur puce pour ces circuits en technologie CMOS, utilisés pour toute application à haute tension et plus précisément dans notre cas, des applications à diagnostic ultrasonique comme l'émetteur d'un système portable à ultrason. Ce chapitre fait l'objet d'un article de journal qui a été publié dans « IEEE Transactions on Circuits and Systems-I: Analog and Digital signal processing » [CHE07]. Nous résumons dans cette section le contenu de cet article.

En général, des contraintes majeures sont envisagées dans la conception de circuits haute tension. Nous avons par exemple l'intégrabilité à haute tension, la grande consommation de puissance et les tensions élevées appliquées à la grille des transistors CMOS de haute tension. Afin de contrer ces limites, nous proposons de nouvelles topologies de circuits analogiques qui sont totalement intégrées. Celles-ci sont utilisées pour concevoir une interface de sortie haute tension qui est complètement intégrée. Cette interface a la particularité d'être constituée d'une nouvelle topologie d'un circuit de

convertisseur DC-DC haute tension (High Voltage DC-DC Up Converter-HVUC) à sortie ajustable allant de 10 à 200V implémenté en technologie CMOS, d'un amplificateur d'amorçage (Drive Amplifier) et d'un générateur d'impulsion réglable.

Afin de réduire la consommation de puissance ainsi que la surface de cette interface ultrasonique, nous avons conçu ce convertisseur de façon à être disposé en cinq étages de doubleurs de tension cascades. Dans chaque étage, un circuit LUS est utilisé comme générateur d'horloge pour augmenter sa tension de sortie DC exponentiellement de telle sorte que cette dernière devient la tension d'alimentation de l'étage suivant. Ainsi, chaque étage est constitué d'un circuit de doubleur de haute tension « High Voltage booster », d'un LUS et d'un circuit LU.

Le circuit de doubleur de haute tension est composé à son tour de transistors HVNMOS à connexion entrecroisée et des transistors à transfert de la charge HVPMOS. Deux horloges sans recouvrement sont utilisées pour commander les capacités de pompe de charges à haute tension pour les cinq étages.

Étant donné que les transistors haute tension sont unidirectionnels et ne peuvent pas être utilisés comme un commutateur, une solution a été adoptée, qui consiste à utiliser la jonction interne comme dans le cas d'une diode. Pour éviter de dépasser la tension de claquage d'oxyde des transistors HVPMOS, durant le surcroît de la tension DC d'un étage à l'autre, une nouvelle technique de protection de la grille est proposée. Celle-ci est basée sur un circuit LU, utilisée pour mettre la tension de la grille des transistors HVPMOS au niveau de la tension de sortie de l'étage. De plus, pour protéger la grille des

transistors HVNMOS à connexion entrecroisée, une nouvelle méthode de protection est proposée [CHE05]. Elle est basée sur la technique de la grille flottante qui consiste à utiliser deux capacités formant un diviseur de tension pour réduire la haute tension appliquée sur la grille de ces transistors.

D'autre part, un régulateur de tension est implémenté dans le LUS du deuxième étage et utilisé lors du contrôle du gain de tension de HVUC. L'avantage de la méthode d'ajustement proposée résulte en une très faible perte du gain de tension à la réponse de la sortie du HVUC comparativement à la méthode proposée dans [NOV99], où la chute de tension de sortie est provoquée dans ce cas par le transistor standard qui est utilisé comme commutateur, lequel est connecté entre l'alimentation et le convertisseur de tension DC-DC.

Pour exciter le transducteur ultrasonique afin de créer des ondes ultrasonores, un amplificateur d'amorçage à haute tension entièrement intégré à faible consommation de puissance est proposé. Ce dernier est basé sur un circuit LU et un étage de sortie de commutation de classe D. Sa tension d'alimentation est connectée au nœud de sortie du HVUC.

Afin de réduire le coût, la dissipation de puissance et la surface de fabrication de l'interface intégrée, cet amplificateur est utilisé pour générer des impulsions d'excitation de haute tension unipolaire, contrôlées par trois signaux d'impulsion clk1, clk2 et clk3. Généralement, la durée d'impulsion est de  $\frac{1}{2f}$ , où  $f$  est la fréquence centrale de

résonance, variant de 3.5 à 5 MHz dans le cas d'un examen abdominal par exemple. Ce choix de la durée d'impulsion est basé sur la considération que pour les systèmes médicaux à imagerie ultrasonore, cette valeur représente un compromis entre la résolution axiale et la profondeur de propagation de l'onde émise.

Afin de réduire la consommation de puissance de l'amplificateur d'amorçage dû à la conduction simultanée des transistors haute tension de l'étage de sortie, les dimensions des transistors du circuit LU et les signaux de commande (clk1, clk2 et clk3) sont attentivement ajustés.

Deux étages de doubleurs à haute tension du HVUC ainsi que l'amplificateur d'amorçage avec d'autre modules hautes tensions (deux nouvelles topologies de LUS et un amplificateur opérationnel de haute tension) ont été fabriqués en utilisant la technologie 0.8µm CMOS/DMOS de tension d'alimentations 5 V / 400 V offerte par la Société DALSA Semiconductor via la Société Canadienne de Microélectronique (CMC Microsystems). Les résultats de simulation des dessins de masques des circuits proposés ainsi que les résultats expérimentaux obtenus par les circuits fabriqués ont été rapportés dans [CHE07]. La disparité entre les résultats de simulation et les résultats expérimentaux nous ont montré les bonnes performances de ces circuits, la validité des techniques de conception, ainsi que la précision des méthodes de protection présentées. Ces résultats ont confirmé le grand potentiel de ces circuits proposés à répondre aux caractéristiques de diverses applications haute et basse tensions et plus particulièrement aux systèmes ultrasoniques portables.

# Fully Integrated High-Voltage Front-End Interface for Ultrasonic Sensing Applications

R. Chebli and M. Sawan

PolySTIM Neurotechnology Laboratory

Department of Electrical Engineering, École Polytechnique de Montréal

## Publication source:

IEEE Transactions on Circuits and Systems-I: Analog and Digital Signal

Processing, Vol. 54, No. 1, pp 179-190, January 2007

**Abstract-**This paper concerns the design and implementation of a fully integrated high-voltage (HV) front-end transducer for ultrasonic sensing applications. This includes a programmable HV DC-DC converter (HVDC), a drive amplifier, and a tuneable pulse generator. The HVDC is based on a multi-stage two-phase voltage doubler and static level-up-Shifters. The drive amplifier is composed of a static level-up stage and a class-D switching output stage. Post layout simulation and experimental silicon results are reported for two HVDC stages and a drive amplifier, which were fabricated using a 0.8- $\mu\text{m}$  CMOS/DMOS process and having a supply voltage of 5 V / 400 V. The measurement results confirm the validation of the high voltage circuit implementation and its design optimization. An output voltage of up to 200 V was obtained from the HVDC. Also, the drive amplifier generates spikes up to 148 V, with rise and fall times of

69 ns and 58 ns respectively. The peak current flowing through the transducer element can be as high as 200 mA.

### 3.2 Introduction

Nowadays, medical ultrasound scanning is used routinely in hospitals for diagnosing soft tissue structures. The primary advantages of this technique are its real-time image formation, mobility, and non-invasive nature, with no bioeffects or ionizing radiation [1]. Moreover, this widespread use can also be attributed to the relatively low cost of ultrasound imaging compared to the X-ray, magnetic resonance imaging (MRI) and computer tomography (CT).

Advances in the microelectronic processes have made the implementation of hand-held ultrasound devices possible. The miniaturization of such systems provides low power, low noise, free roaming and low weight ultrasound devices [2].

The available transceivers of ultrasonic systems are built with discrete components mounted on printed circuit boards (PCBs) [3], and combined with software drivers to get the needed functions [4]. These conventional ultrasound transmitters use shock-excitation of the transducer element via a capacitor discharge, which creates a unipolar short-duration pulse [5]. Emery et al. [6] have used an analog optoelectronic transmitter, which can be designed using light as the trigger pulse instead of an electrical signal. In fact, the optical pulse is carried by a fibre optic to a sensor, which would switch high voltage (HV) unipolar pulses at the ultrasound transducer. More recently, programmable pulsers for phased array transducers use digital control for pulse timing and firing, with the possibility of manually setting the exciting pulse shape [7].



In diagnostic ultrasonic applications, a DC level of 200 V must be applied on a transducer element with the same breakdown voltage, to create an ultrasonic wave capable of reaching great depths in the human body [8]. By using this DC excitation level for the ultrasonic transducer at its central frequency, the transmitted average power density [9] will increase. Additionally, the amplitude of the received signals emanating from the depth of the human body will not need further amplification in order to proceed.

To generate this required high DC voltage, several circuits were designed. Some of these are based on coupled-inductors to achieve the HV gain [10], others are based on capacitor chains interconnected by diodes and coupled in parallel with two non-overlapping clocks [11]. Moreover, electromagnetic transformers were also designed to generate the required HV pulses [12]. Recent work shows the maximum DC voltage produced by the on-chip HV charge pump in silicon-on-insulator CMOS is 27 V [13].

In order to build a hand-held generation of such ultrasonic devices, we came up recently with an integrated version of front-end receiver [2]. In this paper, a fully integrated version of the ultrasonic front-end HV transmitter is proposed. Section 3.3 briefly describes the global architecture of this ultrasonic sensing interface including the transmitter and receiver. Two main blocks of the proposed transmitter are then examined. Section 3.4 presents the design methodology of the fully integrated programmable HV DC-DC converter (HVDC) building blocks. The drive amplifier block is the subject of section 3.5. The simulation and experimental results are reported in section 3.6. Finally, conclusions are drawn in section 3.7.

### 3.3 Description of a typical ultrasonic system

The proposed fully integrated ultrasonic sensing interface (USI) is the main part of a global ultrasonic system as shown in Fig. 3.1. The ultrasound waves are produced when exciting the transducer cells through the transmitter. The reflected waves are converted to electrical signals by the transducer cells and preamplified and time gain compensated through the receiver [2].

Each channel of the USI transmitter contains the following four main building blocks: a HVDC, a tuneable pulse generator, a drive amplifier and a microelectromechanical system (MEMS) actuator based transducer cell. The transducer cell is an acoustic sensor that is used to generate and detect the received ultrasonic waves. The fully integrated HVDC is used to supply the drive amplifier with a range of 50-200 V DC voltage [14]. The tuneable pulse generator produces one pulse frequency, typically from 1 MHz to 10MHz, and pulse repetition frequencies of 2-10 KHz. The generated tuneable pulses for our application trigger the drive amplifier at twice the transducer central frequency of 5 MHz pulse frequency and a pulse repetition frequency of 3.8 KHz. The drive amplifier excites the transducer cell with a HV unipolar shock-excitation pulse.

On the other hand, a MEMS based actuator is used to steer a piezoelectric (PZT) piston transducer achieving a sector scan. The integration of the HVDC and the drive amplifier using a HVMOS technology enables the generation of 200 V unipolar pulse excitation across the transducer. Unipolar square pulse drive is chosen to reduce systems costs, and to allow the implementation of a large number of individual pulse channels [16].

In addition to the transmitter-receiver block of the USI, such ultrasonic system includes few data processing blocks and other control modules. The data processing blocks include analog delay ( $D_i$ ), Analog-to-Digital Converter (ADC), digital beamformer, digital filter, companding, log compression which are used to delay, convert, focus, and sum the receiving ultrasonic beams and then perform required operations such as filtering, envelope detection and compression respectively [1,15]. Also, the compression outputs are scan-converted from beam-space to a standard cartesian grid and buffered in memory cells. This buffered data is used to display image after being treated by a video processing module and sent via a RF link.

### **3.4 Design methodology of the HVDC**

In order to explain the operation of the HVDC, let us consider the charge redistribution between C1 and C2 during first clock period (Fig. 3.2). The number of switched networks is  $4n$  and the number of capacitors is  $2n$ , where  $n$  is the number of the switched-capacitor converter cascading stages,  $V_{DD}$  is the external DC supply voltage, and  $V_{out}$  is the converter output voltage. Assuming that the switched networks and capacitors are all ideal, there is no leakage current in the capacitors, and there is an instantaneous transfer of electric charge. Under ideal conditions where no resistive load is present (i.e.  $I_{out} = 0$ ), during the first half clock cycle (phase I), switch “1” is on, and the capacitor C1 is charged to  $V_{DD}$ . During the second half clock cycle (phase II), switch “2” is on, the bottom plate of C1 is connected to  $V_{DD}$ , and its top plate is connected to

C2. The two capacitors share the charge stored in C1. The voltage increment at the pumping node, V1, can be expressed as (3.1) which yield to (3.2)

$$C_1 V_{DD} = C_1 (V_1 - V_{DD}) + C_2 V_1 \quad (3.1)$$

$$V_1 = \frac{C_1}{C_1 + C_2} 2V_{DD} \quad (3.2)$$

Subsequently, during phase I of the second clock period, C1 is recharged to hold VDD voltage, and C2 shares its charge of C2V1 with C3. During phase II, the pumping node voltage (V1) will have a value greater than the previous one, due to the remaining charge stored in C2 after charge sharing with C3. By repeating these operations many times, V1 keeps increasing to a higher voltage level, which under ideal conditions reaches 2VDD. To achieve a voltage gain higher than two, several stages of the voltage doubler shown in Fig. 3.2 can be cascaded. The output of each voltage doubler supplies the following stage. Similarly, by analyzing the circuit as was done for one-stage voltage doubler, it is reasonable to obtain that Vout is 2<sup>n</sup> times VDD under ideal conditions.

Now, let us consider the charge redistribution between C1 and C2 during the nth clock period. Assuming that V1 is charged to V<sub>n-1</sub> through n-1 clock periods, and that the final V1 in the nth clock period is V<sub>n</sub>, then

$$C_1 V_{DD} + C_2 V_{n-1} = C_1 (V_n - V_{DD}) + C_2 V_n \quad (3.3)$$

$$V_n = \alpha V_{n-1} + \beta V_{DD} \quad (3.4)$$

where  $\alpha = C_2/(C_1 + C_2)$  and  $\beta = 2C_1/(C_1 + C_2)$ . By assuming the initial value of V1 is 0V, after pumping n periods, the final output voltage V1 is given by

$$V_n = \frac{1 - \alpha^n}{1 - \alpha} \beta V_{DD} = 2(1 - \alpha^n) V_{DD} \quad (3.5)$$

When  $n \rightarrow \infty$ , since  $0 < \alpha < 1$ , the item  $1 - \alpha^n$  approaches 1, so the final node voltage  $V_1$  equals to  $2V_{DD}$ .  $\alpha$  is the factor which affects the “pumping speed” to reach the final voltage value. The smaller the ratio of  $C_2/C_1$ , the smaller the value of  $\alpha$ . Thus  $V_1$  increases quickly towards the final value.

### 3.4.1 The HV DC-DC converter in HVC MOS technology

The block diagram of the HVDC, based on a 5-stage voltage doubler, is shown in Fig. 3.3. A static level-up-Shifter (LUS) is used in each stage as a clock generator, in order to increase the voltage exponentially. By cascading  $n$  voltage-doublers, the output voltage of the obtained HVDC can be expressed as follows:

$$V_{out} = 2^{n-1} (V_{in} + V_{clk}) \quad (3.6)$$

where  $V_{in}$  and  $V_{clk}$  are the amplitude of the input and the clock signals respectively, and  $n$  is the number of stages. Each stage consists of a voltage doubler circuit, a charge transfer circuit, a static LUS and a static level-up stage (Fig. 3.4a). The voltage doubler circuit shown in Fig. 3.4b is composed of cross-connected HVNMOS transistors (M1-M2) and two pumping capacitors (C1, C2). The charge transfer circuit is composed of a pair of HVPMOS transistors (M3-M4), used as a serial diode to transfer the charge from one stage to the next one (Fig. 3.4c). Two phase non-overlapping clocks (CK1, CK2) are used to drive the pumping capacitors of each stage.

This cross-coupled HVNMOS transistors configuration leads to an automatic reverse biasing of the parasitic bipolar transistors (lateral, vertical) [17]. Also, the use of N-type transistors, in this voltage doubler, improves the performance of the charge pumping due to its faster carriers (electrons versus holes), smaller size, and less parasitic capacitors.

Noting that the threshold voltage ( $V_{th}$ ) of N-type transistors causes a problem for low voltage applications, but for high voltage, this problem is avoided.

### 3.4.2 Static level-up-Shifter (LUS)

The static LUS circuit, shown in Fig. 3.5, is composed of an input stage (static level-up stage) and an output stage [18]. The output stage acts as an inverter such that the HVNMOS transistor can be readily controlled by the low-voltage logic levels between 0 and VDD (CK1 and CK2), while the gate of the HVP MOS transistor is controlled by the level-up stage. The level-up stage is based on cross coupled voltage mirrors. These voltage mirrors are connected between  $V_{low}$  and the ground, delivering a voltage equal to  $V_{low}$ -VDD or  $V_{low}$  on the drain of transistors (M7, M9). These voltage mirrors consist of a HVNMOS driver (M5-M6) loaded by a HVP MOS transistors (M8, M10) connected in a diode configuration. In parallel to transistors (M8, M10), pull-up transistors (M7, M9) are necessary to drive the drain node from ( $V_{low}$ -VDD) to  $V_{low}$  in the high-state. Cross coupling these two voltage mirrors makes up a HV flip-flop, where each voltage mirror generates the driving voltage for the pull-up transistor. In order to reduce the relative deviation of the full swing on the drain nodes of M7 and M9 around their typical values, the dependence of these node voltages on the electrical parameters matching between n-type and p-type transistors should be eliminated. A tail current low-voltage transistor is added for this purpose. In this case, the voltage level on these drain nodes is fixed by the current flowing through transistors M8 and M10, according to (3.7) and (3.8).

$$V_{DM8} = V_{low} - V_{sgM8} \quad (3.7)$$

$$I_{dsM8} = \frac{\beta_p}{2} \left( V_{sgM8} - |V_{tp}| \right)^2 \quad (3.8)$$

By plugging (3.7) in (3.8), the voltage level on the drain of M8 is

$$V_{DM8} = V_{low} - \left( \sqrt{\frac{2I_{dsM8}}{\beta_p}} + |V_{tp}| \right) \quad (3.9)$$

where  $\beta_p = K_p \cdot (W/L)_p$  and  $V_{tp}$  is the threshold voltage of transistor M8.

### 3.4.3 Programmability

To excite different ultrasonic transducers, a programmable voltage varying between 50 and 200V is required. In order to program the gain voltage of the HVDC, a voltage regulator is implemented in the static LUS of the second stage of the HVDC (Fig. 3.5). The regulator is based on a comparator, where its negative input is connected to a control voltage reference ( $V_{ref}$ ), and its positive input is used to force the drain of the tail current transistor of the static LUS to follow  $V_{ref}$ . By decreasing the drain voltage, the output swing of the static level-up will increase, and consequently, the output swing of the LUS will increase. To decrease the gain voltage of the HVDC, we should increase  $V_{ref}$ , and vice-versa. This can also be demonstrated theoretically; in fact, the current's expressions through M5 and M8 yield (3.10) and (3.11)

$$\frac{\beta_n}{2} \left[ \left( V_{clk1} - V_{ref} \right) - V_{tn} \right]^2 = \frac{\beta_p}{2} \left[ \left( V_{low} - V_{DM8} \right) - V_{tp} \right]^2 \quad (3.10)$$

$$V_{DM8} = V_{low} - \left( \sqrt{\frac{\beta_n}{\beta_p}} \left[ \left( V_{clk1} - V_{ref} \right) - V_{tn} \right] + |V_{tp}| \right) \quad (3.11)$$

where  $\beta_n = K_n \cdot (W/L)_n$ , and  $V_{tn}$  is the threshold voltage of transistor M5. By decreasing  $V_{ref}$ ,  $V_{DM8}$  decreases, the output swing of the output stage increases, and consequently the

voltage gain of the HVDC increases. The advantage of the proposed programmability method is that there is no gain voltage loss in the HVDC output response compared to the method proposed in [19], where a drop voltage at the output is caused by the added switch between the power supply and the main charge pump.

#### 3.4.4 Technology process

The Double Diffused Metal Oxide Semiconductor (DMOS) transistor has become the primary choice for HV integrated circuits. By employing RESURF techniques, it is possible to combine low-voltage (LV) standard CMOS logic with HV output stages, where the voltage switching capability exceeds 400 V [20]. The adopted technology for the present work is the 0.8  $\mu\text{m}$  5 V/HV CMOS/DMOS process with three metal layers, triple wells, double poly, and epitaxial silicon process provided by DALSA Semiconductor. This smart process consists of modifying a low-voltage CMOS technology to accommodate a HV option. In fact, HV capability is obtained when combining the existing technological layers in an unconventional way in order to create low concentration doping regions. A cross-section of n and p-channel HV-devices are given in Fig. 3.6. The HVNMOS transistor has source and channel regions, including the thin gate oxide, identical to those of standard NMOSs. Its  $V_{\text{tn}}$  and transconductance are controlled by the same parameters as the NMOSs. In order to withstand high drain-to-source voltage ( $V_{\text{DS}}$ ), the drain is separated from the edge of the channel called P-base in HVNMOS device by a lightly doped P-drift and buffer region formed by the HVN-Well implant (Fig. 3.6a). This P-drift is added to alleviate the presence of high electric field.



This doping concentration should be carefully adjusted so as to be depleted completely when the device is operating. It is important to note that since the gate oxide is the same as that of standard LV devices, the maximum  $V_{GS}$  cannot exceed 10 V. For the HVPMOS transistor, the drain is separated from the edge of the channel HVN-Well by a low doping concentration P-drift region (Fig. 3.6b) in order to withstand high  $V_{DS}$ .

The DALSA process has two types of HVNMOS devices. The source of the high side floating source type is connected to its local bulk and can withstand 100 V, and the device Breakdown Voltage ( $BV_{DS}$ ) is  $\leq 120V$ . The other type is the low side, and its source is also connected to its local bulk, which is connected to P-sub, and can withstand few volts; its  $BV_{DS}$  is  $\leq 300$  V. The source-drain  $BV_{DS}$  for HVPMOS is  $\leq 400$  V. It is important to note that a HV transistor has a unidirectional functionality when the bulk-source voltage ( $V_{BS}$ ) is 0 V.

### 3.4.5 On-chip high-voltage capacitors

In a HVCMOS process, there are three ways to construct HV capacitors [21]. The first way is by cascading  $M$  standard elements of  $N$  parallel capacitors each, which gives a  $MN$  array (capacitor can handle several hundred breakdown DC voltage). If  $C$  is the capacitor element of the complete capacitor network, the capacitance value  $C_{M,N}$  of an array of  $MN$  elements, can be expressed as:

$$C_{M,N} = \frac{M}{N} C \quad (3.12)$$

Note that a capacitor element is constructed from a parallel-plate capacitor using two polysilicon layers (polygate-polycap) in a HVCMOS process (Fig. 3.7a). The circuit

model for the standard capacitor  $C$  includes the parasitic capacitor  $C_{BP}$ , from its bottom plate to the lightly doped layer (P-epitaxy), which is connected to the ground, and  $C_{TP}$  from its top plate to its epilayer (Fig. 3.7b). The  $C_{TP}$  is very small compared to  $C$ , due to the interconnection metal wires, but  $C_{BP}$  has significant value owing to its area, and can be expressed as  $C_{BP} = KC$ , where  $K$  is up to 6 % of  $C$  value in a HVCMOS process. The second way to build a HV capacitor is to use two overlapping metal layers (Mx-My) with a one-thousand breakdown DC voltage, but this method is area hungry. Finally a third way can give such HV capacitor is by using three metal layers (Mx-My-Polygate), which allow a hundred breakdown DC voltages with acceptable area.

#### **3.4.6 Operation of the voltage doubler circuit**

In order to build a DC voltage doubler using standard technology, CMOS transistors are used as switches, where the drain-source and bulk breakdown voltages are limited by the technologies. However, to achieve a boosting high DC voltage, the conventional exponential voltage doubler circuit [22] should be modified to meet the DALSA technology criteria of HV operation. Since a HV transistor is unidirectional and cannot be used as a switch, a solution is adopted based on the use of the internal junction of the HV transistor. In fact, when a HV is applied on the floating source of the HVNMOS (Fig. 3.6) with a low voltage on its drain, the diode formed by the channel P-base/HVN-Well junction conducts and transfers the HV signal to the drain. Similarly for a HVPMOS transistor (Fig. 3.6), when a HV is applied on its drain and a low voltage on its source, the diode formed by P-drift/HVN-Well junction conducts and transfers the HV to its source.

By using the HV transistors as switches in the voltage doubler circuit, the pumping capacitors cannot maintain a voltage higher than the input stage voltage, due to the unidirectional characteristic of the HV transistor as explained above. By doing so, the HV transistors are connected as shown in Fig. 3.4, and act as diodes where their dynamic resistances ( $R_D$ ), and their inherent constant diode voltages ( $V_\gamma$ ) are controlled by their gate-source voltages ( $V_{GS}$ ). By increasing  $V_{GS}$ , the carrier profile will change, and the  $R_D$  and  $V_\gamma$  will decrease.

The adopted voltage doubler includes a static LUS used in each stage of the HVDC as a clock booster, to increase exponentially the output voltage of this stage. Subsequently, this output voltage is used as the power supply for cascaded stages. The outputs of the static LUS are two-phase non-overlapping clocks (CK1, CK2) whose amplitudes are enlarged between 0 and  $V_{low}$ . During the first half cycle,  $CK1 = V_{low}$ ,  $CK2 = 0$ , and the internal diodes of M1 and M4 conduct; C2 is discharged to  $V_{low}$  through the M1 diode, while C1 is charged to  $V_{high}$  ( $2V_{low}$ ) through M4. During the second half cycle,  $CK1 = 0$  and  $CK2 = V_{low}$ , and the internal diodes of M2 and M3 conduct; C1 is discharged to  $V_{low}$  through the M2 diode, while C2 is charged to  $V_{high}$  ( $2V_{low}$ ) through M3. A voltage gain is therefore obtained between  $V_{low}$  and  $V_{high}$  and can be approximated by (3.13).

$$\Delta V = V_{low} \frac{C}{C + C_{par}} - 2V_\gamma - \frac{I_{out}}{2(C + C_{par})f} \quad (3.13)$$

where  $C = C1 = C2$ ,  $C_{par}$  is the parasitic capacitance on the internal nodes of the stage, and  $f$  is the clock frequency of the circuit. The output series resistance of each stage is given by

$$R_s = \frac{1}{2(C + C_{par})f} \quad (3.14)$$

### 3.4.7 Optimization of the voltage doubler circuit

The good performance of the voltage doubler circuit includes a low dropout output voltage, high output current sink, and small output voltage ripple. In order to reach these objectives, a study on the factors that influence these performances should be done. The correlation of the equivalent resistors and voltage conversions is obtained from the equivalent circuit of the voltage doubler stage (Fig. 3.8b). The output voltage ( $V_{high}$ ) of the voltage doubler circuit is divided between the output series resistor  $R_s$  and the load resistor  $R_L$ , and can be expressed as

$$V_{high} = \frac{2V_{low}\beta}{\beta + 1} \quad (3.15)$$

where  $\beta = R_L/R_s$ , and  $R_s \approx 1/(2fC)$ , when  $C \gg C_{par}$  (the factor 2 is due to the two capacitors driving the output load in a cycle).

For a large load resistance, the output voltage will equal two times that of  $V_{low}$ . For a small value, a larger current is delivered, and the ripple on the output voltage will increase. Given that the equivalent resistance of the load capacitor is  $1/(fC_{load})$ , for a large output current  $I_{out}$ , the ripple voltage  $V_r$  of the voltage doubler circuit becomes

$$V_r = \frac{I_{out}}{C_{load}f} = \frac{V_{high}}{C_{load}R_{load}f} \quad (316)$$

As shown in Fig. 3.8a, the energy loss sources ( $E_s$ ) is due to: a loss through the stray capacitor at the bottom plate of the pump capacitors, and a loss through the output series resistance.  $E_s$  can be given by [17]

$$E_S = 2\alpha C V_{low}^2 + 2C\Delta V_{high}^2 \quad (3.17)$$

where  $\alpha$  is a ratio of total stray capacitance over pump capacitor  $C$ ,  $\Delta V_{high}$  is the  $V_{high}$  drop due to  $R_S$ , and the factor 2 stands for the two pump capacitors. The power efficiency is estimated as

$$\eta = \frac{1}{1 + \alpha \frac{(\beta + 1)^2}{4\beta} + \frac{1}{\beta}} \quad (3.18)$$

The maximum power efficiency is reached by:

$$\frac{d\eta}{d\beta} = 0 \rightarrow \beta = \sqrt{1 + \frac{\alpha}{4}} \quad (3.19)$$

According to [17] and to the HV process model,  $\alpha$  for the standard polycap-polygate capacitor is 0.043. Therefore, the maximum power efficiency will be 81% at best. Fig. 3.9 shows the power efficiency ( $\eta$ ) versus  $R_S/R_L$ . Table 1 summarizes the maximum  $\eta$  for the three types of HV capacitors and one type of standard capacitor. The external capacitor provides the highest  $\eta$  and the least stray capacitance. By using the HV double poly capacitor (Fig. 3.7a), with  $M = N = 4$ , the  $\eta$  is reduced by 45% due to lower capacitance per area where  $\alpha$  ( $\alpha = 0.043$ ) is multiplied by 16; providing 68% stray capacitance.

### 3.4.8 Optimum HV capacitance of each stage

The total area and the power consumption of the HVDC are proportional to the sum of all HV capacitance and depend on the required output voltage and current levels. The optimum number of stages, and capacitance of each stage, can be derived from a relationship between the voltage increment at each stage output node and each

capacitance. Using the voltage increment of each stage from (3.13), the output voltage  $V_{out}$  of the  $n$ th-stage voltage doubler can be expressed by

$$V_{out} = (V_{in} + V_{clk}) + (n-1)\Delta V \quad (3.20)$$

The total capacitance  $C_{tot}$  required in the HVDC is given by

$$C_{tot} = 2(n-1)C = A/B = \frac{((V_{out} - V_{in} - V_{clk})(C + C_{par})2C)}{\left(V_{low}C - \frac{2}{f}\left[V_{\gamma}(C + C_{par})f + \frac{I_{out}}{4}\right]\right)} \quad (3.21)$$

As a result, the optimum HV capacitance  $C_{MIN}$  of each stage to minimize the total capacitance in the HVDC is obtained by equating to 0 the derivative of (3.21) with respect to  $C$ .

$$\frac{\delta C_{tot}}{\delta C} = \frac{2(2C + C_{par})(V_{out} - V_{in} - V_{clk})B - (V_{low} - 2V_{\gamma})A}{B^2} \quad (3.22)$$

$$C_{MIN} = \frac{2V_{\gamma}fC_{par} + 2I_{out}}{f(V_{low} - 2V_{\gamma})} + \frac{\sqrt{4V_{\gamma}fC_{par}I_{out} + 4I_{out}^2 + 2V_{low}f^2V_{\gamma}C_{par}^2 + 2V_{low}fC_{par}I_{out}}}{f(V_{low} - 2V_{\gamma})} \quad (3.23)$$

By substituting the capacitance  $C_{MIN}$  calculated from (3.23) for  $C$  in (3.21), the optimum number of stages ( $n$ ) is obtained.

### 3.4.9 Gate oxide protection methods of each stage

In order to avoid exceeding the oxide breakdown voltage of the charge transfer transistors M3-M4 (Fig. 3.4), when the DC voltage increases from one stage to the next, a protection method is proposed. It is based on a static level-up stage, which is used to maintain the same output stage DC voltage on the gate of the HVP MOS transistors (Fig. 3.10). This level-up stage uses a current source  $I_{bias}$ , in order to be insensitive to the

deviations of the electrical parameters. This current  $I_{bias}$  is switched between M20 and M21 by the HV differential pair (M16-M17). Thus, the output voltage of this level-up stage is fixed by  $I_{bias}$  according to (3.24).

$$V_{Out1,2} = V_{high} - \left( \sqrt{\frac{2I_{bias}}{\beta_p}} + |V_{tp}| \right) \quad (3.24)$$

This level-up stage helps to maintain the same output stage level of the HVDC on the gate of a HVP MOS as shown in Fig. 3.11a. To decrease its power consumption, the current  $I_{bias}$  is set to a value less than  $2.5 \mu A$ . Also, the protection of the gate oxide of the cross-connected HVNMOS transistors M1-M2 (Fig. 3.4) is based on a new protection method, where the capacitive voltage divider uses two capacitor elements [21]. These elements share a common node, serving as the floating gate (FG) of the HVNMOS transistors. If a HV signal is applied on the node  $V_1$  and a low voltage at the input stage  $V_{low}$ , the FG voltage  $V_{fg1}$  (Fig. 3.11b) can be expressed by

$$V_{fg1} = \frac{C_4}{C_6 + C_4} V_1 + \frac{C_6}{C_4 + C_6} V_{low} \quad (3.25)$$

where  $C_4$  and  $C_5$  are the control-gate capacitors designed such that they are sufficiently larger than the parasitic capacitors  $C_{gd}$ ,  $C_{gs} \propto C_{ox}WL$ , and  $C_{gb}$ .

### 3.5 The drive amplifier

A fully integrated drive amplifier is proposed (Fig. 3.12) It creates ultrasound waves when the ultrasonic transducer element is sufficiently excited. It is based on a voltage level-up stage and a class D switching output stage [23]. The power supply of the drive amplifier is connected to the output node of the described HVDC. The shock excitation

HV pulse generated by the drive amplifier is triggered by the pulses clk1, clk2 and clk3 (Fig. 3.12). The signal clk1 is used to control a unipolar HV pulse applied across the transducer element, clk2 with phase shift is used to completely turn off the transistor M8 during the pulse repetition time, and finally clk3 is used to discharge the transducer element by connecting it to ground. The trigger pulse duration is equal to  $1/(2f_0)$  [24], where  $f_0$  is the resonating frequency of the transducer element, and it is equal to 5 MHz for the abdominal region examination. Notice that the width of M3 and M8 is determined by the output current stage. To avoid M3 and M8 turning on simultaneously, and to decrease the power consumption of the driver, the width of (M1, M7) and of the pulses clk1, clk2 and clk3 are carefully adjusted. In pulse-wave applications, the transducer element is poorly damped because of the impedance mismatch between the transducer output and the tissue. This is necessary for achieving a good compromise between the axial and lateral resolutions. The electrical equivalent model of an ultrasonic transducer element is shown in Fig. 3.12. It includes an inductance ( $L_S$ ), a capacitor ( $C_S$ ), a resistor ( $R_S$ ) connected in series and all in parallel with another capacitor ( $C_P$ ). The inductance is used to increase the sensitivity of the transducer. Its impedance  $Z$  is given by (3.26)

$$Z = \frac{(\omega^2 C_S L_S - 1) - j(\omega C_S R_S)}{(\omega^2 C_S C_P R_S) + j\{\omega^3 C_S C_P L_S - \omega(C_S + C_P)\}} \quad (3.26)$$

where  $\omega$  is the angular frequency. Far away from the central frequency ( $f_0$ ),  $R_S$ ,  $L_S$  and  $C_S$  have little influence and the impedance  $Z = C_P$ . At the series resonant frequency ( $f_s = f_0$ ), the impedances of  $C_S$  and  $L_S$  cancel each other, and  $Z = R_S // C_P$ . Slightly above  $f_s$ , the series  $R_S L_S C_S$  looks inductive and starts resonance with the parallel capacitor  $C_P$ . The



capacitor  $C_P$  is proportional to the area of its plates (transducer area) and the effective dielectric constant of the material between the plates, and it inversely proportional to the capacitor dielectric thickness. Using simple analytical approximation, the value of  $C_S$  can be calculated from  $C_P$ ,  $f_S$  and parallel resonance frequency ( $f_P$ ) [25]

$$C_S = \left[ \left( \frac{f_P}{f_S} \right)^2 - 1 \right] C_P \quad (3.27)$$

and  $L_S$  can be calculated from  $C_S$  and  $f_S$

$$L_S = \frac{1}{(2\pi f_S)^2 C_S} \quad (3.28)$$

In order to cancel some reactive components of the input impedance in the piezoelectric transducer at central frequency  $f_0$ , thus, to improve the sensitivity of the transduction process, a shunt coil must be used, usually at the expense of a reduction in signal bandwidth. Moreover, to broaden the frequency response of the transducer, a dump circuit must be used. The value of  $L_P$  is similar to  $L_S$ , and by replacing  $C_S$  by  $C_P$  and setting the value of  $R_P$  to the square root of  $L_S/C_P$ , the dumping factor of the system is equal to 1. To increase the amplitude of the received echo, the transducer must be excited by a voltage as high as possible (depending on its breakdown voltage), because the power density transmitted ( $I$ ) is proportional to the amplitude of the excitation pulse ( $V_{EXC}$ ) [9].

$$I = \frac{2e_{ii}V_{EXC}^2}{l^2 Z} \quad (3.29)$$

where  $e_{ii}$  is the material's piezoelectric stress coefficient,  $l$  is the transducer's thickness and  $Z$  is the acoustic impedance of the tissue. In this case, the drive amplifier in

combination with the HVDC is used to excite the transducer with a 200 V unipolar HV pulse.

### **3.6 Results**

The reported results are divided into two parts: 1) Post layout simulation under Cadence environment, 2) Experimental results from full integrated custom CMOS/DMOS chips.

#### **3.6.1 Post layout simulation results**

The HVDC and the drive amplifier were first simulated using Spectre simulator. The power consumption of these two blocks is approximately 360 mW when no shock excitation is performed, which is very low figure for any ultrasonic application. Table 3.2 shows the most significant characteristics of the HVDC. The voltage gain factor, the output voltage ripples for a 2 MHz frequency, and the rise time, demonstrate the validity of the proposed design for most ultrasonic applications. The HVDC was simulated using different reference voltages and a large output load capacitance of 100-pF to reduce the output voltage ripples. The output voltage reaches the steady state with a rise time of 150 $\mu$ s which is shorter than the 260  $\mu$ s pulse repetition period, which makes it suitable for the intended application. Fig. 3.13 shows this output voltage at different programmed  $V_{ref}$  values, while the two capacitors of the voltage doubler stage driven by the static LUS are set to 160 pF each. The post layout simulation results for the drive amplifier supplied by the HVDC are shown in Fig. 3.14, where a chain of current pulses are induced to the transducer, and the resulting excitation voltages applied across the transducer are shown

in Fig. 3.14b and 3.14c respectively. The pulse repetition period is fixed at  $260\text{ }\mu\text{s}$ , which is equal to the forth and back time of the ultrasound wave for a maximum depth of 20 cm into the human body (the ultrasonic wave velocity is 1540 m/s). Also, it is shown in Fig. 3.14a that the output voltage of the HVDC reaches the required steady state with a rise time of  $150\text{ }\mu\text{s}$ .

The response of the drive amplifier for a unipolar shock excitation pulse of 148 V spike is shown in Fig. 3.15b. This voltage spike is applied to the transducer element with a current waveform of 200 mA (Fig. 3.15c). A relatively short received signal with high amplitude is obtained when using a high excitation voltage. This voltage spike has a rise time of 69 ns and a fall time of 58 ns. The increase in the rise time is due to the low conductance value of the switch M8 in Fig. 3.12. The simulations of the drive amplifier combined with the HVDC were completed by connecting its output to the electrical equivalent model (Fig. 3.12) corresponding to the Piezoelectric Ceramics (PZT-PIC153). Using the equations in Section 3.5, and the dimensions and parameters of PIC153, we find the following values:  $C_p = 20.6\text{ pF}$ ,  $L_s = 1.25\text{ mH}$ ,  $C_s = 0.808\text{ pF}$  and  $R_s = 1.5\text{ k}\Omega$ . Also this model was connected to a shunt coil and dump circuits with  $L_p = 49.4\text{ }\mu\text{H}$ , and  $R_p = 7.8\text{ k}\Omega$ . From the resulting rise and fall time values of the excitation pulse, one can conclude that the transducer has a capacitive property since its frequency response being lower than the 5 MHz resonating frequency. Finally, the shape of the electric excitation pulse generated by this drive amplifier is non-rectangular with an exponential slope. This signal shape is recommended in medical ultrasonic applications, because it produces short pulse echoes without oscillations [26].

### 3.6.2 Experimental results from full custom chips

Two voltage doubler stages of HVDC have been implemented in a 0.8- $\mu\text{m}$  CMOS/DMOS process (three metals) with a triple-well and a supply voltage of 5V/400V provided by DALSA Semiconductor. A micrograph of the chip, which includes the two stages of the HVDC, the drive amplifier and others HV building blocks (Two LUSs and a power amplifier), is shown in Fig. 3.16. The occupied silicon area by the two voltage doubler stages and the drive amplifier is 5 mm<sup>2</sup>, and 0.85 mm<sup>2</sup> respectively.

The first voltage doubler stage was designed with the HV charge pumping capacitors (C1, C2) having a maximum breakdown voltage of 40 V. Each capacitor is built by cascading four standard elements (Polycap-Polygate) where each element consists of four parallel capacitors of 20 pF. This stage can support a maximum input voltage of 40V and an output voltage of 80 V. The second is designed with charge pumping capacitors built using polygate-M1-M2 and having breakdown voltage of several hundred volts. Due to the breakdown voltage drain-source of HVNMOS transistors, this stage can support a maximum input voltage of 100 V and maximum output voltage of 200 V. To measure the maximum HV DC level and the rise time output response of each stage, a pre-test step is considered. The low supply voltage is applied first, followed by the high supply voltage applied gradually to reach the maximum DC level, and the non-overlapping clock signals are applied at last.

The maximum output voltage, measured from the first stage, is 78.3 V for a 40 V maximum input voltage. For this circuit, the measured 10%-90% rise time from 40 V to 78.3 V with a 100-pF capacitive load ( $C_L$ ), 10 M $\Omega$  resistive load ( $R_L$ ) and clock

frequency  $f = 2$  MHz, is  $20 \mu\text{s}$  with an output current  $I_{\text{out}} \approx 0$  mA. Fig. 3.17 shows the measured initial transient of the second voltage doubler stage. The maximum output voltage measured for the second stage is  $118.4$  V for  $60$  V input voltage. The measured rise time from  $60$  V to  $118.4$  V is  $40 \mu\text{s}$ . The output voltage ripple for the two stages is  $1$  V, and could be reduced if a higher capacitive load is applied at the output but this would create a longer rise time.

The measured output voltage for the first, and second stage versus the output current sink while varying the load resistance, are shown in Fig. 3.18a. The measured output voltage for the first stage is  $77.38$  V for  $V_{\text{low}} = 40$  V,  $I_{\text{out}} = 0.077$  mA,  $C_L = 100$  pF and  $R_L = 1$  M $\Omega$ . The voltage gain  $\Delta V$  is  $38.3$  V, calculated using  $V_{\text{high}} = V_{\text{low}} + \Delta V$ , where  $V_{\text{low}} = 40$  V, and  $V_{\text{high}} = 78.3$  V. Using this  $\Delta V$  value in (13) with  $I_{\text{out}} \approx 0$  mA, the ratio of the stray capacity on the pumping capacity ( $C_{\text{par}}/C$ ) is found to be  $4.4\%$  (assuming that  $V_\gamma$  is negligible).

The measured output voltage for the second stage is  $117.9$  V for a value of  $V_{\text{low}} = 60$  V and  $I_{\text{out}} = 0.117$  mA. The calculated voltage gain  $\Delta V$  is  $58.4$  V for  $V_{\text{low}} = 60$  V,  $V_{\text{high}} = 118.4$  V. Using this gain  $\Delta V$ ,  $C_{\text{par}}/C$  is  $2.8\%$  with  $I_{\text{out}} \approx 0$  mA. Note that in figure 18a, the output resistance of this second stage has nonlinear behaviour due to the induced output current, which is surpassing the pump capability of the stage.

The available HV transistors are chosen carefully to obtain an efficient power transfer at every clock cycle, despite the limitations of the HV process such as a low drain-source current, low operation frequency, high on-resistance, high threshold voltage ( $V_{\text{th,p}}$ ), as well as the inability to change the size of these transistors. Consequently, the dimension

values of the HV transistors have been chosen for maximum power efficiency using a 2 MHz clock frequency. In the evaluation of the power efficiency, the following expression has been used.

$$\eta = (\underline{P_{out}}/\underline{P_{in}}) 100\% = (\underline{V_{high}} \underline{I_{out}}/\underline{V_{low}} \underline{I_{in}}) 100\% \quad (3.30)$$

where  $\underline{V_{low}}$ ,  $\underline{V_{high}}$ ,  $\underline{I_{out}}$  and  $\underline{I_{in}}$  are the mean values of  $V_{low}$ ,  $V_{high}$ ,  $I_{out}$  and  $I_{in}$ .

Fig. 3.18b shows the  $\eta$  of each voltage doubler stage versus the output current with different load resistors.

The  $\eta$  peak value is around 45% for the first stage at  $V_{low} = 40$  V,  $f = 2$  MHz,  $V_{high} = 57$  V,  $I_{out} = 5.7$  mA,  $C_L = 100$  pF and  $R_L = 10$  k $\Omega$  (Fig. 3.18b). This stage preserves the highest  $\eta$  values for an output current ranging from 2.9 mA to 7.9 mA. For the second stage, the power efficiency peak value is around 51% at  $V_{low} = 60$  V,  $f = 2$  MHz,  $V_{high} = 91$  V,  $I_{out} = 7$  mA,  $C_L = 100$  pF and  $R_L = 10$  k $\Omega$ . For this stage, the power savings is 50%, and the output current values range from 4.4 to 9.4 mA. By comparing the power efficiency of these two stages, one can conclude that the first stage has a lower power savings than the second stage. This is due to the increase in the stray capacitor effects on the internal nodes  $V_1$  and  $V_2$  of the stage. This increases the switching power loss and decreases the power savings. However, the power efficiency measurement values of the stages remain acceptable. This measured efficiency values match theoretical results, plotted in Fig. 3.9, in spite of the limitations on the technology mentioned above.

In order to show the effect of the resistive load on the total output power delivered, these two stages were tested with different load resistance  $R_L$  values. Fig. 19a shows the measured output power delivered by these stages as a function of the different values of

the load resistance. The pump capacitors are 20 pF, and the clock frequency is 2 MHz with  $V_{\text{low}} = 40$  V for the first stage and  $V_{\text{low}} = 60$  V for the second stage. The load resistance value was varied from 6 k $\Omega$  to 1 M $\Omega$ , and 10 M $\Omega$  considered as the infinite value. According to (3.15), Fig. 3.19a shows the decrease of the output voltage for low resistive loads ( $R_L$ ) and thus increasing in the power delivered to the output of each stage. This increase in the power consumption happens when the output resistive load becomes lower than the voltage doubler output resistance. Fig. 3.19a also shows that the maximum output power delivered by the first stage is 380.1 mW, which corresponds to  $V_{\text{high}} = 47.7$  V for a resistive load of 6 k $\Omega$ ; the output resistance value is approximately 166 k $\Omega$ .

Note that for resistive load values lower than the output resistance value, the output voltage of the stage rapidly decreases. In the same manner, Fig. 3.19a shows that the maximum value of the output power delivered from the second stage is 706.8 mW, which corresponds to  $V_{\text{high}} = 75.14$  V for a resistive load of 8 k $\Omega$ . The output resistance value is 91 k $\Omega$ . Comparing the value of the output resistance of the first and second stage indicates that the output power delivered and the power efficiency of the second stage is larger than the one of the first stage. Fig. 3.19b presents the output voltage versus the input voltage variation for  $f = 2$  MHz,  $C_L = 100$  pF and  $R_L = 10$  M $\Omega$ . The maximum difference of the output voltage produced by the first and the second stages seems to appear when the input voltage is between 5 and 40 volts (Fig. 3.19b). When the input voltage is increased within this range, the output voltage of the second stage decreases lightly compared to that of the first stage. One can also notice that the second stage offers

a notably linear change at the slope of 2.025 V/V and a voltage gain factor of 98.5 %, whereas the first stage offers a curve slope of 2 V/V and a voltage gain factor of 97.7 %.

In order to find the optimal value of the clock frequency corresponding to the high output voltage for these two stages, we vary the clock frequency of each stage within the range of 25 kHz to 2 MHz. Fig. 3.20 shows the output voltage versus the clock frequency with  $C_L = 100$  pF and  $R_L = 10$  M $\Omega$ . The output voltage of the first stage remains almost constant at clock frequencies higher than 500 kHz. For the second stage, the output voltage remains roughly stable for frequencies higher than 1 MHz.

By comparing these results one can conclude that the optimal measured value of the clock frequency for both stages is 2 MHz, and that the first stage is less sensitive to the clock frequency variation due to its more linear pumping capacitors. These capacitors are based on the standard capacitor element (Polycap-Polygate) used in the manufacturing process whereas the pumping capacitors of the second stage are based on nonlinear parasitic capacitor element (polygate-M1-M2). The high voltage excitation pulse of the drive amplifier was measured by connecting its output to the equivalent discrete model corresponding to the Piezoelectric Ceramics (PZT-PIC153), with  $C_P = 20$  pF,  $L_S = 1.2$  mH,  $C_S = 1$  pF, and  $R_S = 1.5$  k $\Omega$ . Its output was also connected to a tuned shunt coil circuit with  $L_P = 50$   $\mu$ H and  $R_P = 8$  k $\Omega$ . For a supply voltage  $V_{high} = 60$  V (limited by the voltage generator), the measured power consumption of the drive amplifier is approximately 120 mW, when no shock excitation is performed.

Fig. 3.21 shows a chain and one high voltage excitation pulse applied across the transducer model. The pulse repetition period is fixed to 260  $\mu$ s (Fig. 3.21a). For  $V_{high} =$



60 V and a trigger pulse width of 100 ns, this current HV excitation pulse has rise and fall times of 69 ns and 60 ns respectively, with a measured 59 V excitation pulse (Fig. 3.21b). The increase in the rise time is due to the high dynamic resistance value of the switch M8 (Fig. 3.12).

### **3.7 Conclusion**

We present the design and implementation of a fully integrated front-end transmitter dedicated to ultrasonic sensing applications, using the 0.8  $\mu\text{m}$  CMOS/DMOS High-Voltage fabrication technology from DALSA Semiconductor. New fully integrated HVDC and drive amplifier have been described. The proposed HVDC is based on 5-stage voltage doubler circuits. The drive amplifier is composed of a level-up stage and a class D switching output block. Several difficulties encountered in high voltage circuit implementation, and consequently designs' optimizations were addressed. The measurement results of the two-stage voltage doubler and the drive amplifier validate the proposed design techniques. Post layout simulation and experimental results of the fully integrated front-end transmitter validate its ability to meet the specifications of medical ultrasonic applications.

### **Acknowledgments**

This project was conducted under the Canadian research chair on smart medical devices. Also, the Authors would like to acknowledge support from NSERC, Micronet, DALSA Semiconductor, ScanView, and CMC Microsystems.

## References

- [1] W. N. McDicken, "*Diagnostic Ultrasonics: Principales and Use of Instruments*", Wiley & Sons, 1997, p. 381.
- [2] M. Sawan, R. Chebli, A. Kassem "*Integrated Front-End Receiver for a Portable Ultrasonic System*", Analog Integrated Circuits and Signal Processing, Vol. 36, N0.1, pp. 57-67, Jul 2003.
- [3] P. Harris, M. Andrews, G. Turner, "*Ultrasonic Transmission and Reception from Bulk-Micromachined Transducers*", IEEE Trans. on Ultrasonics, Ferroelectrics, and frequency control, Vol. 48, No. 1, pp 224-231, Jan. 2001.
- [4] G. Schmitz, H. Ermert, T. Senge, "*Tissue-Characterization of the Prostate using Radio Frequency Ultrasonic Signals*", IEEE Trans. on Ultrasonics, Ferroelectrics, and frequency control, Vol. 46, No. 1, pp 126-135, Jan. 1999.
- [5] P. N. T. Wells, "*Biomedical Ultrasonics*", London: Academic Press, 1977.
- [6] C. D. Emery, J. C. Swartz, H. C. Casey, S. W. Smith, "*Optoelectronic Transmitters for Medical Ultrasound Transducers*", IEEE Trans. on Ultrasonics, Ferroelectrics, and frequency control, Vol. 42, No. 2, pp 1188-199, March 1995.
- [7] B. Tiedeu, M. Kom, P. Tricot, "*Simulation of a programmable pulser for phased array transducers*", Med. Eng. Phys. Vol. 18, No. 8, pp. 696-700, Dec. 1996.
- [8] A. Beauchamp-Parent, M. Sawan, "*New Reconfigurable Ultrasonic Enuresis Monitoring System*", IEEE EMBS, October 1998.

- [9] D. A. Christensen, "*Ultrasonic Bioinstrumentation*", John Wiley & Sons, New York, 1988.
- [10] Q. Zhao, F.C. Lee, "*High-efficiency, high step-up DC-DC converters*", IEEE Transactions on Power Electronics, Vol. 18, No. 1, pp. 65 – 73, Jan. 2003.
- [11] J. D. Cockcroft and E. T. Walton, "*Production of high velocity positive ions*", Proc. Roy. Soc., A, Vol. 136, pp. 619-630, 1932.
- [12] K. Ogura, et al., "*Inductor snubber-assisted series resonant ZCS-PFM high frequency inverter link DC-DC converter with voltage multiplier*", Proceedings of the Power Conversion Conference, Osaka., Vol.1, pp. 110–114, April 2002.
- [13] M.R Hoque, T. Ahmad, T. McNutt, A. Mantooth, M.M. Mojarradi, "*Design technique of an on-chip, high-voltage charge pump in SOI*", IEEE International Symposium on Circuits and Systems (ISCAS), Vol. 1 p.p 133-136 May 2005.
- [14] R. Chebli, M. Sawan, Y. Savaria, "*A Programmable Positive and Negative High-Voltage DC-DC Converter Dedicated for Ultrasonic Applications*", IEEE MWSCAS, August 2005.
- [15] P. Jouve, "*Manuel d'Ultrasonologie Générale de L'adulte*", Masson, Paris, 1993
- [16] R. McKeighen, "*Influence of pulse drive shape and tuning on the broadband response of a transducer*", IEEE Proceedings on Ultrasonics Symposium, Vol. : 2, pp. 1637-1642, Oct. 1997.
- [17] P. Favrat, Ph. Deval, M. J. Declercq, "*A high-efficiency CMOS voltage doubler*", IEEE Journal of Solid-State Circuits, Vol. 33, No. 3, pp. 410-416, March 1998.

- [18] H. Ballan, M. Declercq, “*High Voltage Devices and Circuits in Standard CMOS Technologies*”, London: Kluwer Academic Publishers, 1999.
- [19] A. Novo, A. Gerosa, A. Neviani, A. Mozzi and E. Zanoni, “*Programmable Voltage Multiplier for Pacemaker Output Pulse Generator*”, IEE Electronics Letters, Vol. 35, No. 7, pp. 560-561, April 1999
- [20] L. Vestling, et al., “*A novel high-frequency high-voltage LDMOS transistor using an extended gate RESURF technology*”, IEEE International Symp. on Power Semiconductor Devices and IC's., ISPSD, pp. 26-29, May 1997.
- [21] R. Chebli, M. Sawan, Y. Savaia, “*Gate oxide protection in HV CMOS/DMOS integrated circuits: Design and experimental results*”, IEEE ICECS, December 2005.
- [22] L. Bin, G. Yin, J. Lijiu, “*A New Cascading CMOS Voltage-Doubler Charge Pump*”, ICDA, Beijing, 2000.
- [23] M. Siripruchyanun, P. Wardkein, W. Sangpisit, “*A simple pulse width modulator using current conveyor*”, Proceedings of the TENCON 2000, Vol.:1, pp. :452 – 457, Sept. 2000.
- [24] G. Cincotti, G. Cardone, P. Gori, M. Pappalardo, “*Efficient transmit beamforming in pulse-echo ultrasonic imaging*”, IEEE Trans. on Ultrasonics, Ferroelectrics, and frequency control, Vol. 46, No. 6, pp 1450-1458, Nov. 1999.
- [25] M. Prokic “*Piezoelectric Converters Modelling and Character-ization*”, MP interconsulting, Switzerland, 2004

- [26] W. Persson, "*Electric excitation of ultrasound transducers for short pulse generation*", *Ultrasound in Med. & Biol.*, Vol. 7, No. 3, pp. 285-291, 1981.

## Figures

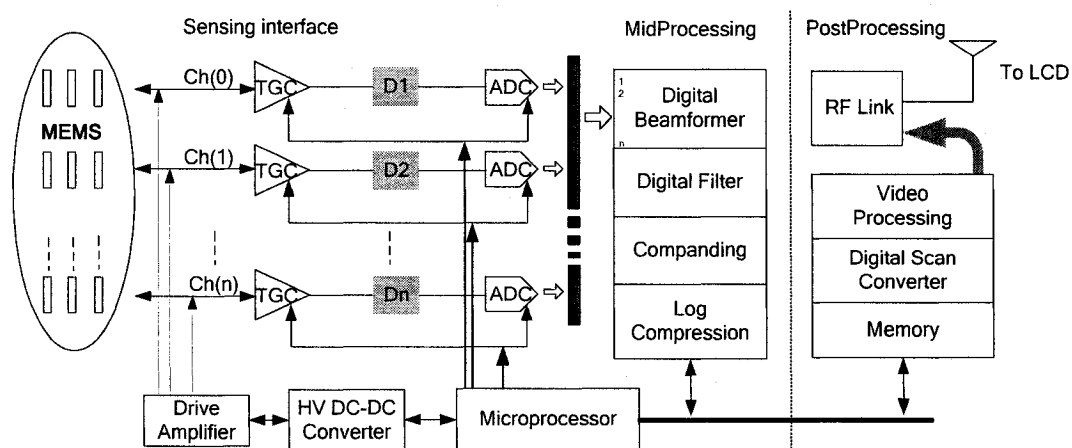


Figure 3.1. : Block diagram of the ultrasonic system including the proposed sensing interface.

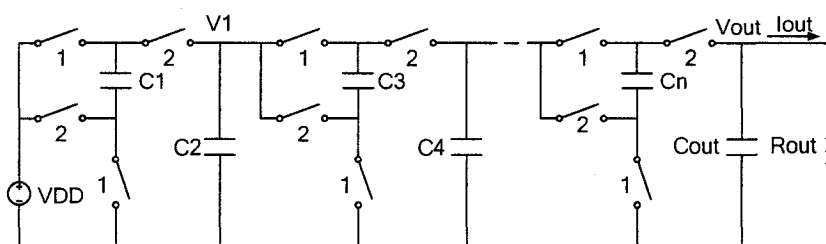


Figure 3.2. : Ideal two phase switched-capacitor converters.

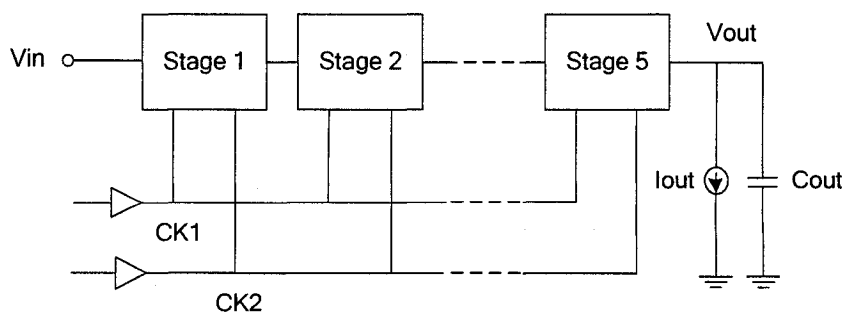


Figure 3.3. : Simplified block diagram of the proposed DC-DC up converter.

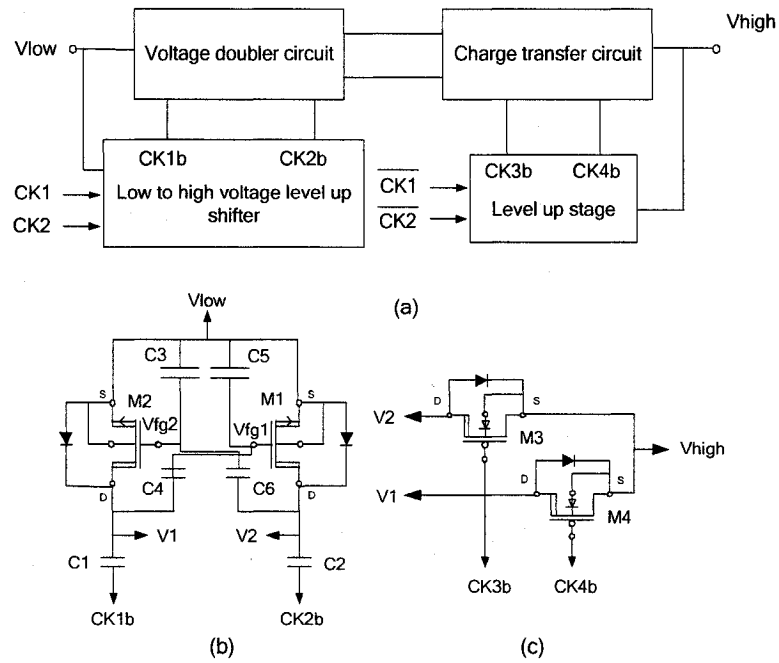


Figure 3.4. : Voltage doubler stage: (a) block diagram, (b) voltage doubler circuit, (c) charge transfer circuit.

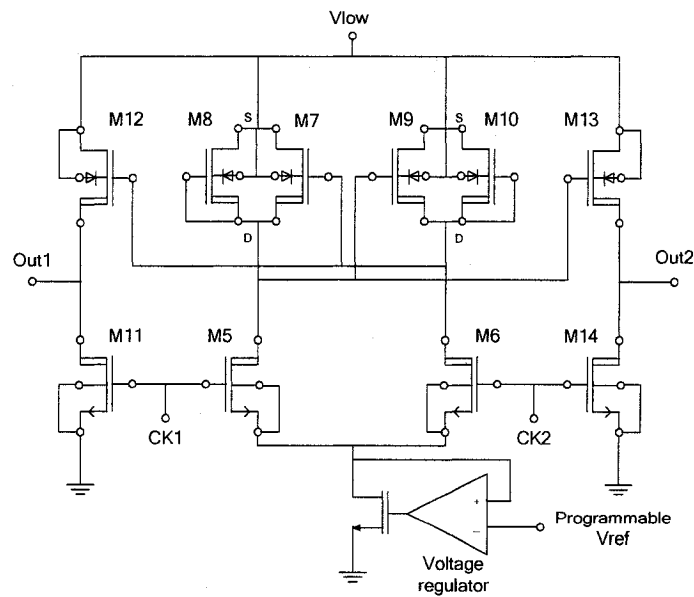


Figure 3.5 : Schematic of the static level-up-Shifter.

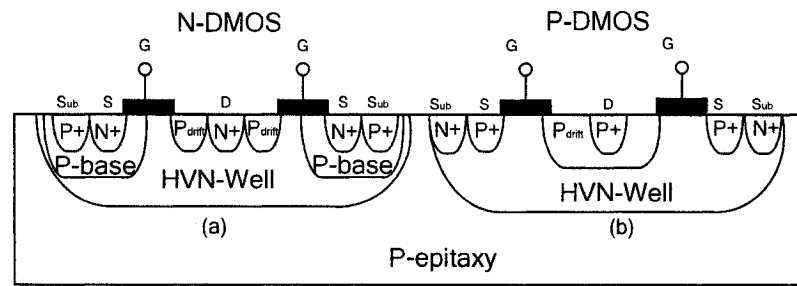


Figure 3.6. : Cross-sections of HV devices: (a) HVNMOS, (b) HVP MOS.

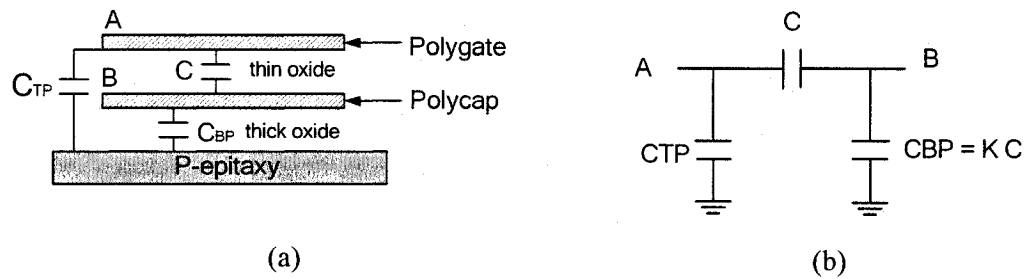


Figure 3.7. : On-chip high voltage capacitor: (a) double poly capacitor, (b) circuit model.

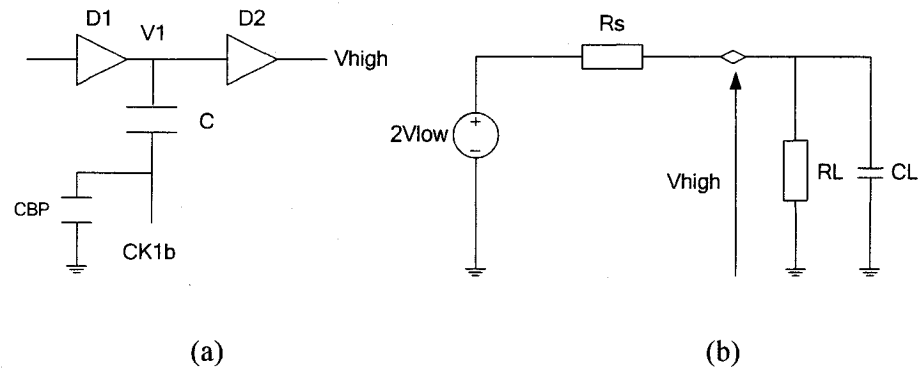


Figure 3.8. : Voltage doubler stage (a) stray capacitors of the pump capacitors, (b) equivalent circuit.



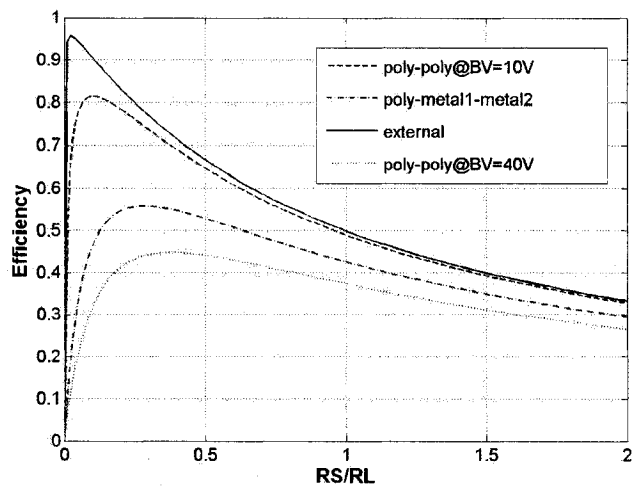


Figure 3.9. : Power efficiency versus  $R_S/R_L$  for various capacitors.

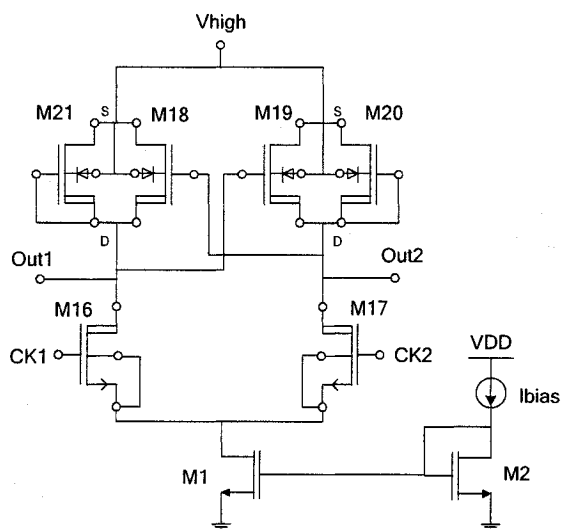


Figure 3.10. : Schematic of the static level-up stage.

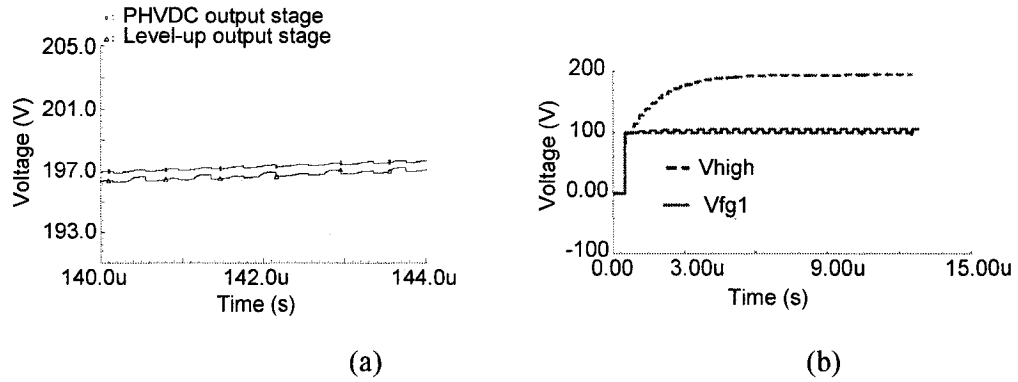


Figure 3.11. : Simulation of the: (a) level-up stage and HVDC output, (b) FG node for one voltage doubler stage with  $V_{low} = 100$  V.

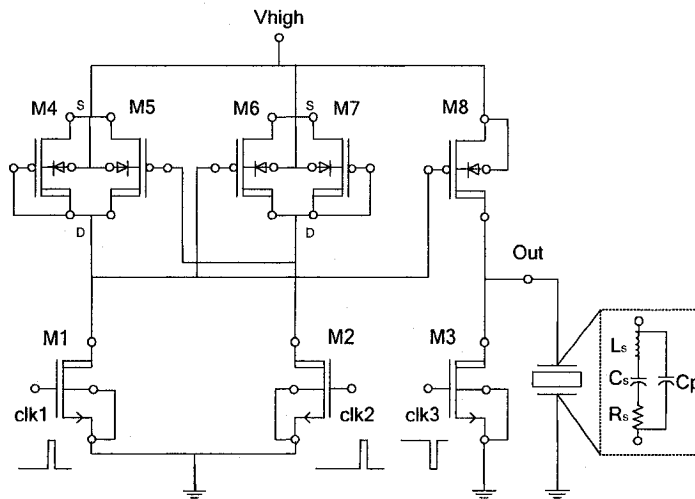


Figure 3.12. : Schematic of the drive amplifier for unipolar excitation pulses.

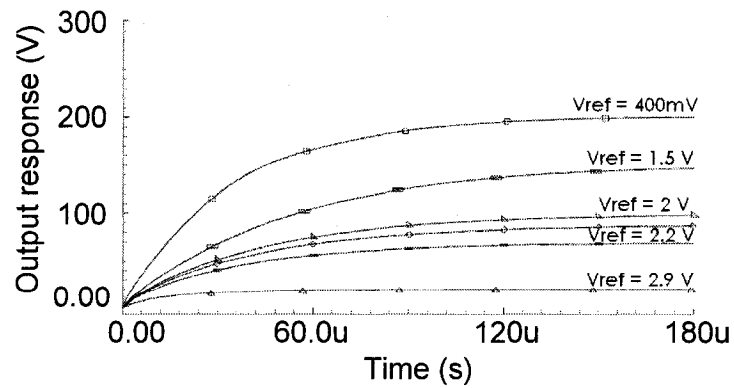


Figure 3.13. : Simulation of programmable step-up response for PHVDC at different programmed  $V_{ref}$ .

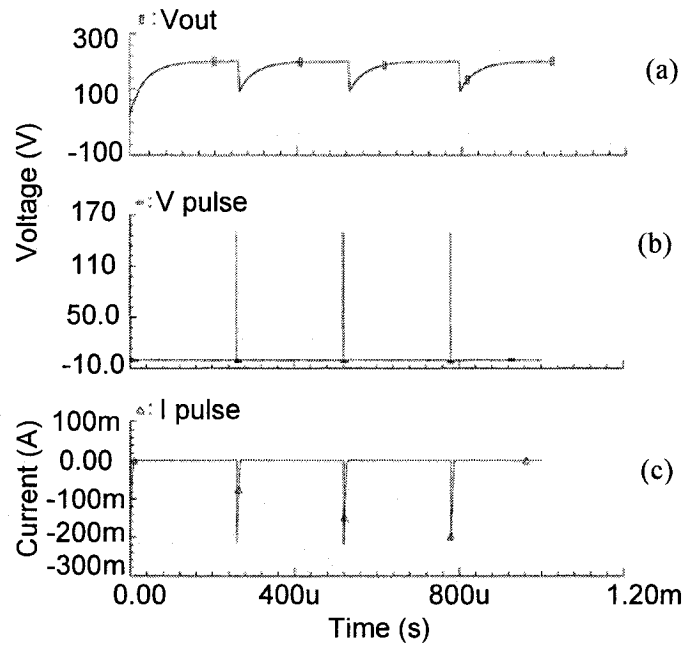


Figure 3.14. : Simulation of the HVDC followed by the drive amplifier: (a) output voltage, (b) chain of the voltage waveforms across the transducer, (c) chain of the current waveforms.

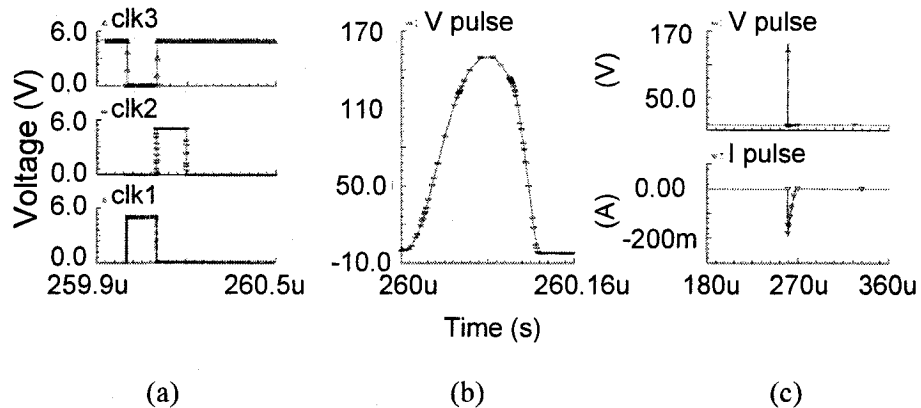


Figure 3.15. : Simulation of the drive amplifier: (a) waveform of the three triggering pulse signals, (b) single shock excitation pulse with amplitude of 148 V, (c) current waveform with a peak of 200 mA.

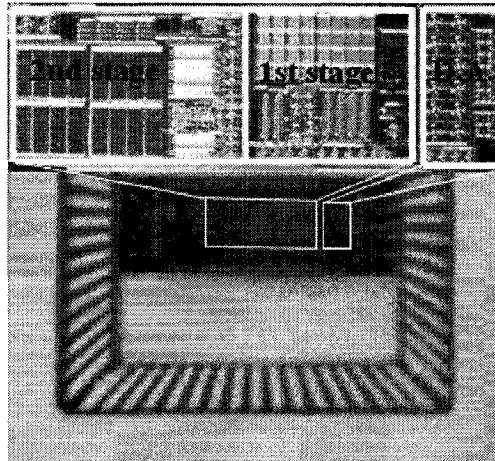


Figure 3.16. : Photomicrograph of the front-end sensing interface.

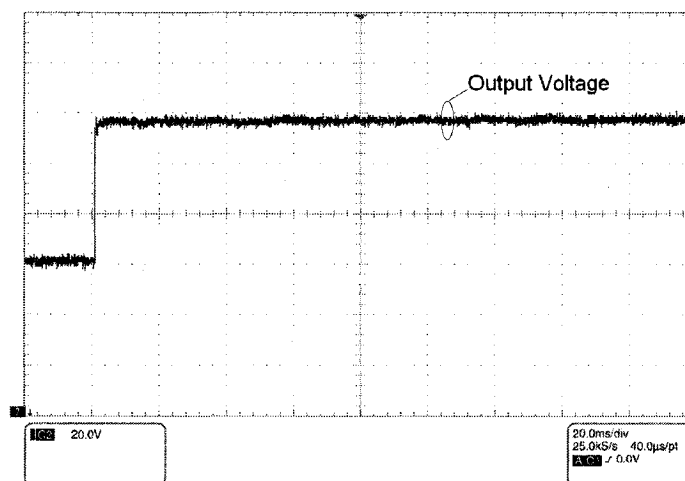
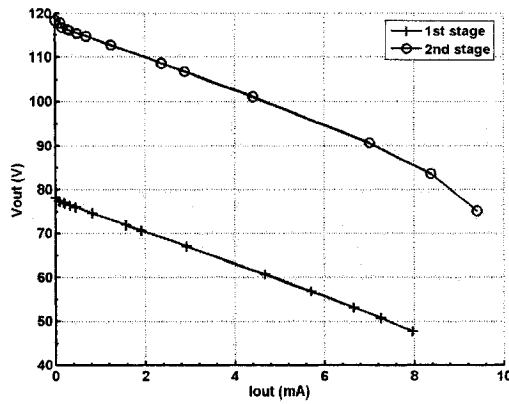
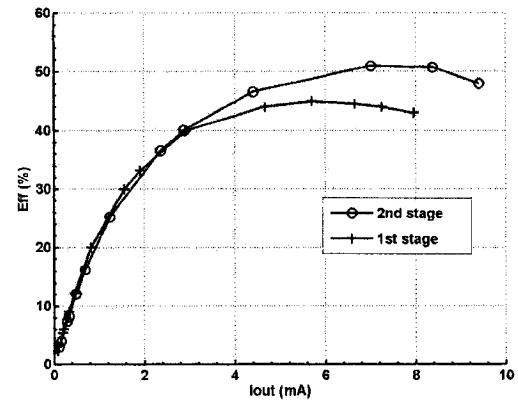


Figure 3.17. : Measured output voltage of the second stage with 100-pF capacitive and 1 M $\Omega$  resistive load at  $f=2$  MHz.

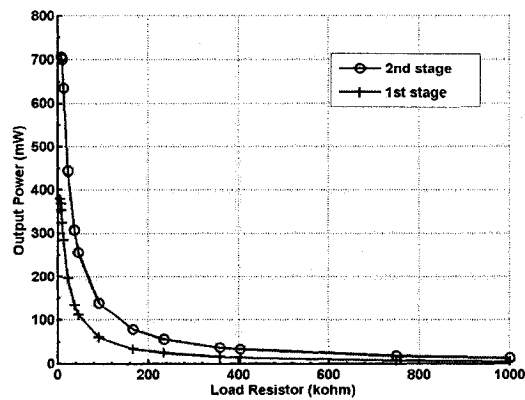


(a)

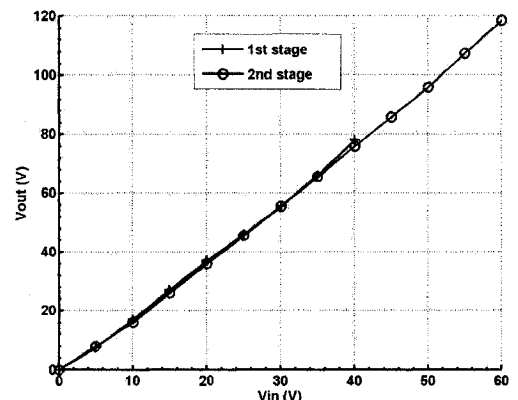


(b)

Figure 3.18. : Measurement result : (a) output voltage versus output current, (b) power efficiency versus output current with 100-pF capacitive load and  $f = 2$  MHz.



(a)



(b)

Figure 3.19.: Measurement result: (a) output power versus load resistance, (b) output voltage versus input voltage with 100-pF capacitive load, and 10-M $\Omega$  resistive load.

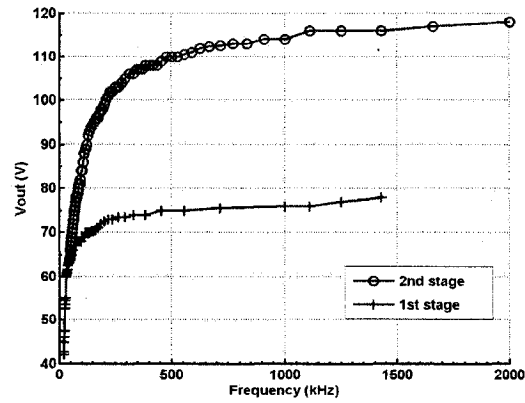
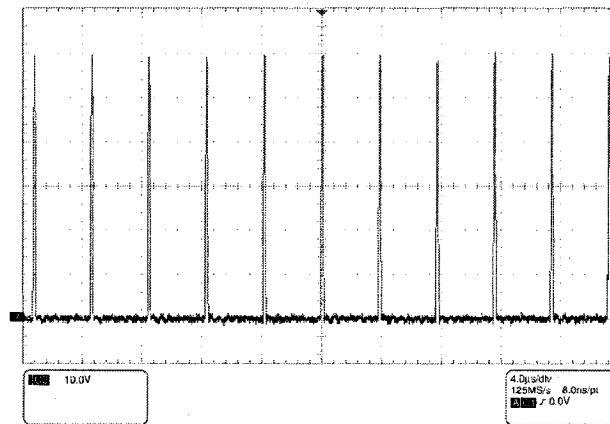
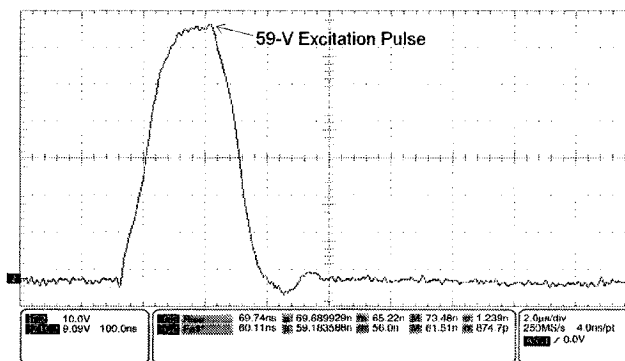


Figure 3.20. : Output voltage versus clock frequency  $f$  with 100-pF capacitive load, and 10-M $\Omega$  resistive load.



(a)



(b)

Figure 3.21. : Experimental results of the drive amplifier: (a) chain of the voltage waveforms across the transducer model, (b) unipolar excitation pulse.

**Table 3.1. : Stray capacitor coefficient and maximum efficiency.**

<b>HV Capacitor</b>	$\alpha$	<b>Efficiency</b>
<b>Polygate-Metal1-Metal 2</b>	0.2-0.35	56-64 %
<b>Polycap-Polygate @ BV= 15 V</b>	0.043	81 %
<b>Polycap-Polygate @ BV= 60 V</b>	0.68	45 %
<b>External</b>	0.002	95.6 %

**Table 3.2. : Simulation of the proposed HVDC.**

<b>Characteristics</b>	<b>Value</b>
<b>Voltage gain factor</b>	83 %
<b>No. of stages</b>	5
<b>Input voltage</b>	10 Volts
<b>Output voltage</b>	10-200 Volts
<b>Oscillator frequency</b>	2 MHz
<b>Output voltage ripples</b>	95 mVolts
<b>Power supply</b>	5 Volts
<b>Rise time</b>	150 $\mu$ s
<b>Technology</b>	CMOS/DMOS

## **CHAPITRE 4**

### **HIGH-VOLTAGE DMOS INTEGRATED CIRCUITS USING FLOATING-GATES PROTECTION TECHNIQUE**

#### **4.1 Résumé**

Le présent chapitre fait l'objet d'un article qui a été soumis en 2007 pour publication dans la revue « IEEE Transactions on Circuits and Systems-I: Analog and Digital Signal Processing ». Dans cet article nous proposons une nouvelle méthode de protection et d'amorçage de l'oxyde mince de la grille de transistors haute tension à double diffusion (HV DMOS) contre tout signal de haute tension appliqué sur cette grille.

Une des problématiques rencontrées dans la conception de circuits dédiés à toute application haute tension est la couche mince d'oxyde de la grille des transistors CMOS haute tension. En effet, la tension de claquage grille source de ces transistors est similaire à celle du transistor CMOS standard. Si une haute tension, est appliquée entre la grille et la source de ce transistor, l'oxyde de la grille sera endommagée. Afin de remédier à ce problème, dans plusieurs applications haute tension, des techniques d'amorçage conventionnelles au niveau discret et intégré sont utilisées, par exemple l'auto polarisation (self-biased) tel que des transistors haute ou basse tension sont cascades et auto polarisés, l'amorçage par transformateurs couplés, l'amorçage via un circuit de décalage de niveau de tension (Level-up-Shifter - LUS) et l'amorçage à travers un réseau de capacités et de diodes [BAL99][VAL94][PAN03][BOU00][HES00]. Les



inconvenients de toutes ces techniques de protection et d'amorçage demeurent dans leur grande dissipation de puissance et de courant de fuite et leur grande surface occupée ainsi que leur faible fiabilité, leur complexité et les coûts élevés.

Afin de surmonter ces limitations, nous proposons une nouvelle méthode d'amorçage et de protection de l'oxyde mince de grilles contre des signaux de haute tension. Cette méthode de protection est basée sur la technique de la grille flottante telle qu'une capacité est reliée à la grille de ce transistor sert à augmenter son épaisseur d'oxyde. En fait, cette capacité cascadée divise avec la capacité parasite de la grille du transistor la haute tension appliquée sur cette dernière ce qui rend le transistor tolérable pour des tensions de claquage d'oxyde très élevées. La grille de ce transistor devient un nœud flottant sur lequel sa tension sera contrôlée par cette capacité supplémentaire qui s'appelle capacité de contrôle. Il est à noter que la valeur de cette capacité peut être ajustée en utilisant la technique de calibrage ou autres techniques afin d'ajuster la sensibilité du transistor (par exemple la tension de la grille et la tension de seuil).

Afin de donner plus de flexibilité et de contrôlabilité à cette méthode de protection, deux éléments capacitifs partageant le nœud de tension de la grille, sont utilisées. En conséquence, ceci aide à commander avec précision la tension de la grille et rend le circuit insensible aux capacités parasites, lorsque des capacités à grande valeur sont utilisées.

La technique de conception proposée est basée sur l'utilisation d'un ou deux éléments capacitifs. En outre, une de ces capacités doit avoir une tension de claquage élevée afin de supporter des hautes tensions. Pour réaliser des capacités de haute tension, trois méthodes sont présentées :

- 1) Implémenter une capacité ayant une couche d'oxyde épaisse tout en utilisant deux couches de métal standards  $M_x$  et  $M_y$  ( $x$  et  $y$  sont différents et représentent les couches de métal utilisées dans la technologie haute tension) qui peuvent être connectées avec la grille du transistor CMOS de haute tension à travers un contact ( $g_{con}$ ). En utilisant cette approche, les dimensions des capacités seraient grandes, mais elles peuvent supporter un niveau de tension de l'ordre de mille volts.
- 2) Réaliser une capacité ayant moins de superficie tout en utilisant trois couches standard Polygate,  $M_x$  et  $M_y$ . Cette capacité peut également supporter un haut niveau de tension (autour de 400 V).
- 3) Réaliser une capacité ayant une petite superficie tout en utilisant un réseau de capacités standards (Polycap-Polygate) tel que  $M$  éléments capacitifs sont cascades et chaque élément est constitué de  $N$  capacités standards.

Se basant sur cette méthode, des doubleurs de haute tension positive et négative, deux nouvelles topologies de LUS à faible consommation de puissance et faible surface ainsi que des portes logiques haute tension sont proposées.

Afin d'activer un actionneur MEMS ou exciter un transducteur ultrasonique, une haute tension allant de -100 V à 100 V est requise. Pour générer la haute tension

négative, une nouvelle topologie de convertisseurs de haute tension est proposée. Le convertisseur est composé d'un «booster» de haute tension négative et d'un LUS. Le «booster» est constitué de transistors à connexion recroisée HVPMOS et de paires de transistors de transfert de la charge HVPMOS. Étant donné que le transistor haute tension est unidirectionnel et ne peut pas être utilisé comme un commutateur, ces jonctions internes sont utilisées comme dans le cas d'une diode. Par conséquent, les transistors à connexion recroisée sont utilisés comme des diodes, servent à transférer la tension d'entrée du circuit NHVD qui est connectée à la masse aux nœuds internes du circuit. Ainsi, les transistors de transfert de la charge sont aussi utilisés comme des diodes qui servent à décharger la capacité de sortie à la haute tension négative créée au nœud interne de l'étage. Deux horloges sans recouvrement sont utilisées pour commander les capacités de pompe de charge (C1, C2) du NHVD à partir de la sortie différentielle du LUS tel que ce dernier est alimenté par la sortie DC de PHVUC.

Afin de protéger l'oxyde de la grille des transistors HVPMOS à connexion recroisée, la méthode de protection de grilles flottantes est utilisée. Ainsi, pour protéger la grille des transistors de transfert de la charge HVPMOS contre les hautes tensions négatives, ces grilles sont reliées à leurs sources.

Étant donné que la consommation de puissance et la surface du PHVUC et du NHVD sont des paramètres critiques dont il faut diminuer, deux nouvelles topologies de LUS

(LUS1, LUS2) sont proposées. Chacun de ces deux circuits est constitué d'un étage d'entrée basée sur la technique de grille flottante et d'un étage de sortie inverseur.

Avec des valeurs optimales des capacités  $C1$  et  $C2$ , la technique de grille flottante est utilisée pour réduire la consommation de puissance statique ainsi que la surface d'un LUS conventionnel quand elle est utilisée pour remplacer son circuit LU.

La différence entre les deux topologies de LUS réside dans la structure de la technique de grille flottante appliquée dans leurs étages d'entrée. Cependant, pour LUS1, l'effet « feedthrough » est très faible à cause de sa structure de diviseur. Pour LUS2 à topologie différentielle, le nœud flottant est maintenu à une tension DC très proche de  $V_{tn}$  de HVP MOS ce qui provoque une conduction permanente de ce dernier avec un faible courant de drain. Par conséquent, la dissipation de puissance du LUS2 est plus faible que celui de LUS1 et sa surface est plus petite due à l'utilisation d'une capacité standard (polycap-polygate).

Les résultats de simulation de dessin des masques ainsi que les résultats expérimentaux des modules proposés qui sont implémentés en utilisant la technologie  $0.8\mu\text{m}$  CMOS/DMOS de tension d'alimentations 5 V / 400 V offerte par CMC Microsystems et DALSA Semiconductor ont confirmé la bonne performance attendue, ainsi ils ont confirmé le grand potentiel de la méthode de protection et d'amorçage proposée. Aussi cette méthode a montré son rôle principal dans la conception de circuits intégrés de haute tension fonctionnant jusqu'à 200 V. Finalement, ces modules peuvent

être consacrés à plusieurs applications haute tension telle la commande des systèmes Micro-Électro-Mécanique (MEMS), et en particulier celles regroupant des éléments transducteurs ultrasoniques.

R. Chebli and M. Sawan

Polystim Neurotechnologies Laboratory

Department of Electrical Engineering, École Polytechnique de Montréal

Publication source:

Submitted to: Journal of IEEE Transactions on Circuits and Systems-I: Analog  
and Digital Signal Processing, May 2007

**Abstract-** An efficient low power protection scheme for thin gate oxide of high voltage (HV) DMOS transistor is presented. To prevent gate-oxide breakdown and protect HV transistor, the voltage controlling its gate must be within 5V from the high voltage supply. Thus signals from the low voltage domain must be level shifted to control the gate of this transistor. Usually this level shifting involves complex circuits that reduce the speed besides requiring of large power and area. In this paper, a simple and efficient protection technique from gate-oxide breakdown is achieved by connecting a capacitor divider structure to the floating-gate node of HV transistor to increase its effective gate oxide thickness. Several HV circuits, including: positive and negative high voltage doublers and level-up-Shifters suitable for ultrasound sensing systems are built successfully around the proposed technique. These circuits were implemented with 0.8  $\mu\text{m}$  CMOS/DMOS HV DALSA process. Simulation and experimental results prove the

good functionality of the designed HV circuits using the proposed protection technique for voltages up to 200 V.

## 4.2 Introduction

Recently, high-voltage (HV) CMOS integrated circuits have attracted much interest for a wide range of applications. These applications are targeting a growing market including: HV aerospace Microsystems [1], small DC motor control [2], biomedical systems for Lab-on-Chip DNA samplers [3], ink jet printers [4] piezoelectric-based microrobot [5], etc. One application of special interest is fully integrated HV front-end interface for next generation medical ultrasound systems [6].

While dealing with on-chip high voltages, transistor reliability becomes a very serious issue to be addressed. For instance, to prevent gate-oxide breakdown, the voltage controlling the gate of HV transistor must be within 5 V from the high voltage supply. Thus signals from the low voltage domain must be level shifted to control the gate of this transistor.

Several gate oxide protection techniques for discrete and integrated circuits can be found in the literature. In these circuits, HV gate drivers, based on level shifting topologies, are usually used to drive and to protect the thin gate oxide of the HV transistors [7-8]. Also, stacking several HV transistors [9] or using transformer coupled drive circuits [10] are also used as alternative protection techniques. These techniques involve complex circuits that reduce the speed of the protected circuits besides requiring of large power and area.

In order to improve the design and reliability of high voltage MOS integrated circuits, we propose in this paper a new protection method for driving and protecting the thin gate oxide of HV Double Diffusion Metal Oxide Semiconductor (DMOS) transistor against damage from HV signals applied to its gate. Section 4.2 presents the proposed protection method. The design and implementation of HV integrated circuits using this protection technique are described in Section 4.3. The Simulation and experimental results are presented in Section 4.4. Finally, Section 4.5 summarizes the conclusions drawn from the project.

### **4.3 Floating gate protection technique**

The proposed protection technique is based on a capacitor connected to the gate of the transistor used to increase its effective gate oxide thickness, as shown in Fig. 4.1a. This capacitor combined with the transistor gate's capacitor divides the voltage applied to this gate, which makes it tolerable for higher gate oxide breakdown voltages. This protection technique can be implemented using one or two-capacitor added to the protected HV DMOS transistor as discussed below.

#### **4.3.1 Protection using one-capacitor**

One capacitor element,  $C_1$ , combined with the transistor gate capacitor ( $C_{gd}$  or  $C_{gs}$ ) of the HV DMOS transistor can build the HV capacitor voltage divider (Fig. 4.1a).

By doing this modification, the transistor gate becomes a floating gate (FG) on which the voltage is controlled by the added capacitor. If a HV DC input signal ( $V_G$ ) is applied on the control gate node via  $C_1$ , at the circuit power-up, and a HV DC or square wave



signal is applied on the transistor drain ( $V_P$ ), or on its source ( $V_P$ ); the voltage on the transistor FG node for either N or P type HVDMOS can be written as:

$$V_{fg} = \frac{C_1}{C_1 + C_{gd,s}} V_G + \frac{C_{gd,s}}{C_{gd,s} + C_1} V_{P,P'} \quad (4.1)$$

where  $C_{gd,s}$  is the gate-drain or gate-source capacitor. The initial charge on the FG node is assumed to be very small in (4.1) ( $Q_{fg} \approx 0$ ).

The addition of the capacitor  $C_1$  connected allows an increase in the transistor's effective gate oxide thickness and that protects the transistor from breakdown due to high voltages applied to its thin oxide gate.

During the normal operation, the FG voltage of P type DMOS can be written as

$$V_{fg} = \frac{2C_1 + C_{gs}}{(C_1 + C_{gs})C_1} V_G + \frac{2C_{gd} + C_1 + C_{gs}}{C_1 C_{gs}} V_P + \frac{C_1 + 2C_{gs}}{(C_1 + C_{gs})C_{gs}} V_{P'} \quad (4.2)$$

where we assume that  $C_{gs} > C_{gd}$ .

From (4.2) we see that voltage applied to the transistor gate is divided by the connected capacitor  $C_1$  and its parasitic capacitors to guarantee reliable operation.

#### 4.3.2 Protection using two-capacitor

To give more flexibility and controllability for this technique, two capacitive elements sharing the floating gate of the HV transistor can be used as shown in Fig. 4.1b.

By applying high voltages on nodes A and B at the power up, the FG voltage will be given by equation (4.1), where  $C_{gd,s}$  is replaced by  $C_2$ . In this case,  $C_1$  and  $C_2$  form a capacitive divider, and they are selected to dominate the parasitic capacitors  $C_{gd}$ ,  $C_{gs}$ , and gate-bulk parasitic capacitance  $C_{gb}$  to improve the accuracy. When a high DC voltage is

applied on node A, and a square wave DC voltage applied on node B, an equation similar to equation (4.2) is obtained and a gate oxide protection from HV can be realized.

Using two-capacitor for protection has an additional benefit of reducing the clock feedthrough effects by adjusting the capacitors' ratio. Another advantage is the insensitivity to parasitic capacitors when large capacitor-divider elements were used. However, the one-capacitor is preferred when area is a design constraint.

#### 4.3.3 On-chip high-voltage capacitors

As shown above, one or two capacitors can be added to transistor HV DMOS gate in order to increase its effective gate oxide thickness. One of these capacitors must support high breakdown DC voltages, and can be built by using one of the following techniques.

- Overlap of two metals (Mx and My). This approach can support a DC level-up to thousand volts but it requires excessively large chip area.
- Overlap of Polygate, Mx and My layers, as shown in Fig. 4.2a, gives a capacitor that can support a DC signal up to hundred volts.
- Cascade M standard (Polycap-Polygate) capacitors of N parallel units to build an MxN array (Fig. 4.2b). This capacitor can support up to several hundred volts. If C is the unit capacitor, the total  $C_{M,N}$  array can be expressed by

$$C_{M,N} = \frac{M}{N} C \quad (4.3)$$

#### 4.3.4 Analysis of the protection methods

The total area and power consumption of HV integrated circuits are proportional to the sum of all HV capacitance and depend on the required output voltage and current levels.

The optimum value of HV capacitance used for protection is selected from the relationship between the desired FG voltage  $V_{fg}$ , the added capacitor divider values, and the DMOS transistor parasitic capacitors as derived below.

Assuming initial charge of the FG node is zero and that nodes A and B, in Fig. 4.3, are connected to square wave generators, Kirchhoff's current law applied on FG node circuit gives

$$I_{gnd} = I_{cg} + I_g + I_s + I_d + I_{Vpp} \quad (4.4)$$

where  $I_{cg} = sC_1(V_{cg} - V_{fg})$ ,  $I_s = sC_{gs}(V_s - V_{fg})$ ,  $I_d = sC_{gd}(V_d - V_{fg})$ ,  $I_{Vpp} = sC_{fg-Vpp}(V_{pp} - V_{fg})$ ,  $I_{gnd} = sC_{fg-gnd}V_{fg}$  and  $I_g = sC_2(V_g - V_{fg})$ .

For the gate protection using one capacitor (i.e.  $I_g = 0$ ), the FG node voltage can be expressed by

$$V_{fg} = \frac{C_1 V_{cg} + C_{gd} V_d + C_{gs} V_s + C_{fg-Vpp} V_{pp}}{C_1 + C_{gd} + C_{gs} + C_{fg-gnd} + C_{fg-Vpp}} \quad (4.5)$$

For the gate protection using two capacitors (i.e.  $I_g \neq 0$ ), the FG node is expressed by

$$V_{fg} = \frac{C_1 V_{cg} + C_2 V_g + C_{gd} V_d + C_{gs} V_s + C_{fg-Vpp} V_{pp}}{C_1 + C_2 + C_{gd} + C_{gs} + C_{fg-gnd} + C_{fg-Vpp}} \quad (4.6)$$

Knowing the desired voltage  $V_{fg}$  and by estimating the HV transistor parasitic capacitors, the above equations are used for best selection of the protection capacitor values to optimize the required chip area.

## **4.4 HV Integrated circuits using floating gate protection**

As to elucidate the utility of the presented protection technique in designing HV integrated circuits, several novel topologies of positive and negative high voltage doublers and Level-up-Shifters (LUSs) are designed.

### **4.4.1 Positive high-voltage doubler**

Positive high voltage doubler (PHVD) is an important building block to design HV DC-DC converter suitable to driving MEMS or sensing applications and also for on-chip HV supply generators. The design of these HV doublers using conventional bulk CMOS process represents a very difficult task. The main problems are: the limited drain-to-source voltage and the substrate-well diode breakdown voltage that might be exceeded by the voltage across the n-well and p-substrate. A good example of on-chip CMOS high-voltage circuit is a Dickson charge pump using dynamically biased PMOS transistor proposed in [11]. The high voltage produced using this circuit cannot cross the barrier of 60V due to limited drain-to-source voltage.

Silicon-on-insulator (SOI) CMOS also has been used instead of standard bulk CMOS to design HV integrated circuits taking advantage of its buried oxide isolation among transistors from the common substrate. However, the drawbacks of this technology are still the limited drain-to-source voltage compared to the HV nowadays applications, the lacking of HV capacitors, and potential back-gate turn-on. The HV produced by a charge pump using this technology still well below 100 V [12].

On the other hand, the DMOS transistor has become the primary choice for HV integrated circuits. The adopted technology for the present work is the 0.8  $\mu\text{m}$  5 V/HV CMOS/DMOS process with three metal layers, triple wells, double-poly, and epitaxial silicon process provided by DALSA Semiconductor.

This smart process consists of modifying a low-voltage (LV) CMOS technology to accommodate HV options. In fact, HV capability is obtained when combining the existing technological layers in an unconventional way in order to create low concentration doping regions. A cross-section of n-channel HV device is shown in Fig. 4.4a and the p-channel HV one is presented in Fig. 4.4b. This transistor has source and channel regions, including the thin gate oxide, identical to those of standard NMOS transistor. In order to withstand high drain-to-source voltage, the drain is separated from the edge of the channel, called P-base in HVNMOS device, by a lightly doped P-drift and buffer region formed by the HVN-Well implant. It is important to mention that since the gate oxide is the same as that of standard LV devices, the maximum gate-to-source cannot exceed 10 V.

The proposed new topology of the PHVD, built using DALSA semiconductor technology, is shown in Fig. 4.5. It consists of a doubler stage, charge transfer stage, Level-up-Shifter (LUS) and Level-up (LU) stage. The doubler stage is composed of cross connected HVNMOS transistors (M1-M2) and two pumping capacitors (C1, C2).

The charge transfer stage is composed of a pair of HVPMOS transistors (M3-M4), used as a serial diode to transfer the charge from the internal nodes to the output of the PHVD (Fig. 4.5). The LUS and the LU stage will be detailed below. Two phase non-

overlapping clocks (CK1, CK2) are used to drive, through the LUS, the pumping capacitors of the doubler stage. The LUS is supplied by the same input voltage of the doubler stage to produce a clock generator able to increase exponentially the output voltage of the PHVD.

Usually transistors are used as switches to design a voltage doubler in standard CMOS technology. Since HV transistors are unidirectional and cannot be used as switches, the conventional voltage doubler [13] should be modified to meet DALSA technology HV operation criteria. As a solution, the internal junction of HV transistor is used to construct the proposed PHVD. In fact, when a HV signal is applied on the floating source of the HVNMOS (Fig. 4.4a) with a low voltage on its drain, the diode formed by the channel P-base/HVN-Well junction conducts and transfers the HV signal to the drain. Similarly for a HVPMOS transistor (Fig. 4.4b), when a HV is applied on its drain and a low voltage on its source, the diode formed by P-drift/HVN-Well junction conducts and transfers the HV to its source. By using the HV transistors as switches in the voltage doubler circuit, the pumping capacitors cannot maintain a voltage higher than the input stage voltage, due to the unidirectional characteristic of the HV transistor as explained above. Thus, the HV transistors are connected as shown in Fig. 4.5, and act as diodes where their dynamic resistances ( $R_D$ ), and their inherent constant diode voltages ( $V_\gamma$ ) are controlled by their gate-source voltages ( $V_{GS}$ ). By increasing  $V_{GS}$ , the carrier profile will change, and  $R_D$  and  $V_\gamma$  will decrease.

Moreover, the outputs of this LUS are two-phase non-overlapping clocks (CK1b, CK2b) whose amplitudes are enlarged to 0 and  $V_{low}$ . During the first half cycle, CK1 =

$V_{low}$ ,  $CK2 = 0$ , and the internal diodes of M1 and M4 conduct; C2 is discharged to  $V_{low}$  through M1 diode, while C1 is charged to  $V_{high}$  ( $2V_{low}$ ) through M4. During the second half cycle,  $CK1 = 0$  and  $CK2 = V_{low}$ , and the internal diodes of M2 and M3 conduct; C1 is discharged to  $V_{low}$  through M2 diode, while C2 is charged to  $V_{high}$  ( $2V_{low}$ ) through M3.

To drive the gates of the HV PMOS transistors, a Level-up (LU) stage, described in Section 4.3.3, is used to maintain on these gates same output voltage level as the proposed PHVD.

In order to protect the thin gate oxide of the HVNMOS transistors, the FG protection technique with two capacitors (C4 and C5) is used to make a capacitor divider at the gate of the HV transistor M1, and the two capacitors C3 and C6 are used to make the capacitor divider at the gate of M2.

If a HV is applied on the node  $V_{1,2}$  and a low voltage is applied at the input stage  $V_{low}$ , the FG voltage  $V_{fg1,2}$  will be

$$V_{fg1,2} = \frac{C_{4,3}}{C_{5,6} + C_{4,3}} V_{1,2} + \frac{C_{5,6}}{C_{4,3} + C_{5,6}} V_{low} \quad (4.7)$$

where  $C_i$ , with  $i = 3, 4, 5$  or  $6$ , is selected, according to (4.6), sufficiently large to bypass the influence of the HV transistor parasitic capacitors ( $C_{gd}$ ,  $C_{gb}$ , etc).

#### 4.4.2 Negative high-voltage doubler

For driving MEMS or transducer applications, especially those dedicated to ultrasonic cells, -100V and +100V DC levels are needed. Fig. 4.6 shows the proposed negative HV doubler (NHVD). This negative HV doubler consists of a voltage doubler circuit and a Level-up-Shifter and its input is a positive high DC supply voltage [14].

This circuit is composed of 4 HVP MOS transistors, 2 cross-connected ( $M_1$  and  $M_2$ ) are used as serial reverse diodes to discharge the internal nodes  $V_1$  or  $V_2$  to ground. Two other transistors ( $M_3$  and  $M_4$ ) act as serial reverse diodes to discharge the load capacitor to the higher negative internal node voltage generated by the charge pump capacitors ( $C_1$  or  $C_2$ ). In addition, two non-overlapping clocks ( $CK_1$  and  $CK_2$ ) are used to drive the pumping capacitors of the stage.

Also this NHVD includes a LUS, supplied by high DC voltage, which outputs two non-overlapping clocks ( $CK_1$  and  $CK_2$ ) with amplitudes enlarged to  $(0, V_{high})$ . During the first half cycle,  $CK_1 = V_{high}$ ,  $CK_2 = 0$ , the internal diodes of  $M_1$  and  $M_4$  conduct, and  $C_2$  is charged to 0 V through the diode of the transistor  $M_1$ , while  $C_1$  is discharged to  $-V_{high}$  through  $M_4$ .

During the second half cycle,  $CK_1 = 0$ ,  $CK_2 = V_{high}$ , the internal diodes of  $M_2$  and  $M_3$  conduct, and  $C_1$  is charged to 0 V through the  $M_2$  diode, while  $C_2$  is discharged to  $-V_{high}$  through  $M_3$ .

In order to avoid exceeding the oxide breakdown voltage of the charge transfer transistors ( $M_3$  and  $M_4$ ), their gates are connected to their sources. At the same time, the proposed 2-capacitor FG protection technique is used to protect the gate oxide of cross-connected transistors  $M_1$  and  $M_2$  (Fig. 4.6). If a high negative voltage is applied on node  $V_1$  and 0 V at the input stage, the FG voltage can be expressed by

$$V_{fg1} = \frac{C_4}{C_4 + C_5} (-V_{high}) \quad (4.8)$$

where  $C_4$  and  $C_5$  are chosen to be larger than the surrounding parasitic capacitors.



#### 4.4.3 First level-up-Shifter topology

A conventional LUS consists of an input stage based on a static LU stage combined with inverter output stage. The main drawbacks of this LUS are high power consumption and large silicon area due to the large size of the diode connected cross coupled “voltage mirrors” PMOS transistors used to determine the output voltage of the LU stage [15, 16]. To reduce the power consumption and the area of the proposed HV positive and negative voltage doublers, we proposed here a low power and small silicon area LUS circuit using the FG protection technique (LUS1)[17]. It consists of capacitive divider structure and input and output stages (Fig. 4.7a). The two-capacitor FG technique is used to drive and to protect the gate of M3 at power up, with a DC level expressed by

$$V_{fg} = \frac{C_1}{C_1 + C_2} V_{high} \quad (4.9)$$

where  $C_1 = KC_2$  ( $K > 2$ ). By keeping this DC voltage higher than the  $V_{tp}$  of M3, this transistor will turn-on and set the internal nodes V3 and V4 to  $V_{high}$ . Due to the non-overlapping clocks applied on the input control voltages ( $V_n$  and  $V_p$ ),  $V_3$  and  $V_4$  become square waves that are  $180^\circ$  phase shifted and oscillate between  $V_{high}$  and  $V_{high} - V_{gm4}$ , and where  $V_3$  is expressed by

$$|V_{DM3}| \geq |V_{high}| + |V_{fg} - V_{high}| = |V_{high}| + \left( \sqrt{\frac{\beta_n}{\beta_p}} (V_{n,p} - V_m) + |V_{tp}| \right) \quad (4.10)$$

where  $\beta_{n,p} = Kn_p(W/L)n_p$ , and  $V_m$  is the threshold voltage of transistor M1 and M2.

By doing so, the node voltage  $V_{3,4}$  can be controlled by  $V_{fg}$  and  $\beta_n$  for a given  $\beta_p$ . Thus the size of the transistor M3 can be reduced significantly compared to conventional LUS and consequently the power dissipation. The output stages act as inverters where

M1 is controlled by a low-voltage signal ( $0-V_{DDlow}$ ), while the gate of M4 is controlled by the voltage  $V_{3,4}$ . Using the FG technique with optimum capacitor values and small size transistors in the input stage reduces the power and area significantly of the proposed LUS compared to conventional LUS.

#### 4.4.4 Second level-up-Shifter topology

The second HV LUS (LUS2) proposed topology, based on the FG technique, is shown in (Fig. 4.7b) [14]. This topology differs from LUS1 by its capacitive divider structure which maintains on the gate of M3 at power up, a DC level of

$$V_{fg} = \frac{C_1}{C_1 + C_2} V_{high} + \frac{C_2}{C_2 + C_1} V_3 + \frac{C_2}{C_2 + C_1} V_4 \quad (4.11)$$

where  $C_1 = KC_2$ , and  $V_3, V_4$  are  $180^\circ$  phase shifted square wave signals oscillates between  $V_{high}$  and  $V_{high} - V_{gM4}$ . For the single ended structure of LUS2, the FG node voltage can be reduced to

$$V_{fg} = \frac{C_1}{C_1 + C_2} V_{high} + \frac{C_2}{C_2 + C_1} V_3 \quad (4.12)$$

The flexibility to vary  $V_{fg}$  enables to reduce the power consumption by preventing the permanent conduction of transistor M3. The feedthrough effect from  $V_3$  or  $V_4$  nodes causes a voltage drop of  $(\Delta V_{fg})$ . This drop voltage is related to capacitors  $C_1$  and  $C_2$  values by

$$\Delta V_{fg} = \frac{C_2 + C_{gd}}{C_1 + C_2 + C_{gd}} \Delta V_3 \quad (4.13)$$

Therefore,  $\Delta V_{fg}$  can be reduced by adjusting  $C_1$  and  $C_2$ . Note that the LUS1 has no feedthrough effect due to the structure of its capacitor divider voltage.

The differential structure of the capacitors in LUS2 helps to set the FG node voltage to a DC voltage close to the  $V_{th}$  of transistor M3. Thus this transistor permanently conducts with sensing low drain current. Due to the structure of this capacitive divider, the power consumption of LUS2 is reduced comparing to LUS1 and its area can be reduced by using standard capacitor element (Polycap-Polygate).

## 4.5 Simulation and experimental results

The reported results are divided into two parts: 1) Simulation results under Cadence environment, 2) Experimental results from full integrated custom CMOS/DMOS chips.

### 4.5.1 Simulation results

Fig. 4.8 shows the simulation results of the PHVD when a 100 V is applied to its input ( $V_{low}$ ). Its output ( $V_{high}$ ) response is a step up of 200 V for a  $C_{load}$  of 100 pF. The capacitors ( $C_3 = C_5 = 15$  pF and  $C_4 = C_6 = 1$  pF), used for gate oxide protection, are chosen according to equation (4.6) to counteract the effect of the parasitic capacitors. The FG voltage ( $V_{fg1}$ ) of the HV NMOS transistor varies between 100 and 106 V with respect to its gate-source breakdown voltage. The internal node voltages ( $V_1$  and  $V_2$ ) are square waves which vary between 100 and 200 V.

Table 4.1 summarizes the significant characteristics of the NHVD. The voltage gain factor, the output current at 2 MHz clock frequency and its fall time depict high performance features for drive MEMS-based ultrasonic cells. Fig. 4.9 shows the simulation results of the NHVD for an input voltage ( $V_{high}$ ) of 100 V. The output

response of this block ranges from -100 V up to 0 V by ramping down its input voltage from 100 to 0 V.

The capacitive load ( $C_{load}$ ), of 100 pF, is chosen to reduce the output voltage ripples. The internal node ( $V_1$ ) of the NHVD (Fig. 4.6) is a negative HV square wave signal, which varies from -100 to 0 V. This figure also shows that the FG voltage ( $V_{fg1}$ ) of the HVPMOS transistor varies between -5 and 0 V thus insuring the protection of the thin gate oxide of the HV transistor.

Concerning these LUSs, the estimated power consumption of the LUS1 is 560 mW for a power supply ( $V_{high}$ ) of 100 V,  $C_{load}$  of 30 pF and clock frequency ( $f$ ) of 1 MHz. By using the proposed FG protection technique, the power consumption of the LUS1 is reduced to 50% when compared to available HV LUSs [7, 15, 16]. Moreover, LUS1 replaced the conventional LUS in already proposed fully integrated HV DC-DC converter presented in [6]. The simulated power consumption of this HV DC-DC converter is reduced by more than 30 %. However, the output voltage rising time is increased by about 10 % but it is still acceptable results when it is compared to the substantial power reduction improvement.

Fig. 4.10 shows the simulation results for LUS1. Its differential output voltage oscillates between 0 and 100 V for  $C_{load} = 30$  pF,  $C_1 = 16$  pF,  $C_2 = 1$  pF,  $V_{high} = 100$  V, and  $f = 1$  MHz. These results show the FG voltage ( $V_{fg}$ ) of the HV PMOS transistor settled at 93 V, which provides  $V_{gs}$  value much lower than the breakdown voltage.

The internal node  $V_3$  is a square wave, varying between 94 and 100 V. This LUS operates at frequencies as low as 1 Hz with reduced sensitivity due to clock skewing compared to other topologies that require complex clocking schemes [18].

The simulation results for the LUS2 are shown in Fig. 4.11. Its internal node  $V_3 = -V_4$  is a square wave, ranging between 95 and 100 V. The FG voltage ( $V_{fg}$ ) is set at 98 V for  $C_1 = 16$  pF and  $C_2 = 1$  pF. The differential output voltage oscillates between 0 and 100 V for a power supply ( $V_{high}$ ) of 100 V,  $f = 1$  MHz and  $C_{load}$  of 30 pF. Note that this LUS can also operate at a frequency of as low as 1 Hz. For the above conditions, the estimated power consumption of LUS2 is approximately 500 mW, which is lower than that of the LUS1 due to the DC level biasing of the FG nodes of the circuits. Based on equation (4.11), the FG voltage ( $V_{fg}$ ) is set at a DC value which consequently limits the drain current of the HV PMOS transistor of LUS2 to a value lower than that of the LUS1; thus resulting in lower power dissipation.

#### 4.5.2 Experimental results from full custom chips

To validate the results on-chip of the proposed designs, a PHVD and the two LUSs are fabricated using a 0.8- $\mu$ m CMOS/DMOS HV process provided by DALSA Semiconductor. A microphotograph of the chip is shown in Fig. 4.12. The active areas of the PHVD, LUS1 and LUS2 are 2.5 mm<sup>2</sup>, 0.9 mm<sup>2</sup>, and 1.2 mm<sup>2</sup> respectively.

The fabricated PHVD receives an input voltage of 40 V, and delivers a maximum output voltage of 80 V. The capacitors ( $C_1$  and  $C_2$  in Fig. 4.5) sustain a maximum breakdown voltage of 40 V. Each capacitor is built, as explained in Section 4.2.3 and Fig. 4.2, by cascading four standard elements (Polycap-Polygate), where each element

consists of four parallel capacitors of 20 pF with total area of 0.3 mm<sup>2</sup>. The gate protection capacitors (C4-C5 and C3-C6) are implemented by overlapping three standard layers (Polygate, Metal1 and Metal2) and they have a breakdown voltage of several hundred Volts with total area of 0.08 mm<sup>2</sup>.

To safely test these HV blocks, special attention was paid. In fact, to measure the PHVD features, the low supply voltages were first applied, and then the high supply voltages were gradually added at the input, and were followed by the non-overlapping clocks.

Fig. 4.13 shows the measured output DC level of the voltage doubler circuit. For a 100 pF capacitive load, 10 M $\Omega$  resistive load ( $R_L$ ) and 2 MHz clock frequency, the maximum output voltage measured is 78.3 V. The voltage gain factor is 97.8 %, and the ripple voltage is 1 V, which can be reduced by increasing the capacitive load.

FG protection capacitors for LUS1 and LUS2 are created by cascading standard and HV capacitors which have breakdown voltage greater than 100 V. These capacitors were implemented using the three standard layers: Polygate, layer1 and layer2.

Measurements were taken by changing the HV power supply and the clock frequency.

The differential output waveforms and rise and fall times of LUS1 and LUS2 were measured under a power supply of 60 V and clock signal amplitude of 5 V. Fig. 4.14a shows the measured differential output of LUS1 for a maximum measured operation frequency of 556 kHz with the capacitive and resistive loads of 100 pF and 10 M $\Omega$  respectively. The peak-to-peak output amplitude is 59.6V. The measured current consumption is 9.22 mA. Fig. 14b depicts the rise and fall times of the LUS1 output for a

400 kHz operation frequency. Using the same loads, the measured rise and fall times are 474 ns and 445 ns respectively. The measured current consumption of LUS2 is 8.63 mA. Also, Fig. 4.14c depicts the rise and fall times of the LUS2 output for a 400 kHz operation frequency. Using the same loads, the measured rise and fall times are 484 ns and 376 ns respectively. These experimental results show the good operation of the proposed LUSs, and match the simulation results.

Moreover, the power dissipation of the proposed LUSs was characterized by sweeping the operation frequency and varying the power supply. Fig. 4.15a depicts the measured power dissipation of both LUSs. Noted that LUS1 dissipates for the most part, more power than LUS2, this is due to the higher DC level on the FG of LUS2, which produces a lower sensing drain-source current in the input and output stages. By increasing the supply voltage or the maximum output swing, Fig. 4.15b shows that LUS2 dissipates less power than LUS1.

Fig. 4.16 shows the variation of the maximum output swing in terms of the operation frequency. Due to the higher current in the output stage of LUS1, its maximum output swing reaches the power supply level faster than LUS2 at the same operation frequency.

Table 4.2 shows the performance of the proposed LUSs. These LUSs have a rise and fall times slightly longer than the conventional topologies, due to the large  $R_{ds(on)}$  of DALSA semiconductor technology HV DMOS transistor used in the output stage; and that increases the time constant. The proposed LUSs consume less power than the conventional ones (CONV1 in table 4.2) because its power dissipation value is limited by the level-up stage only. The static power of this stage is typically 1 to 5% of the output

power driving capability [15]. In addition, the total power dissipation of CONV1 for the single ended topology will be two times that of a fully differential topology as the one used for LUS1 and LUS2. Also, the CONV2 LUS is single ended topology and has simulated power dissipation twice of the fully differential topology of LUS1 (LUS2) obtained by measurement.

#### **4.6 Conclusion**

We reported in this paper a new protection technique used to protect thin gate oxide of HV DMOS transistors against damage from high DC voltages. It is based on divider capacitive topology, which features compared to conventional protection techniques: high flexibility to add in HV circuits, small integration area, low complexity and low power consumption. Moreover this technique does not need extra masks during the fabrication process. Several HV building blocks based on this proposed technique were implemented and validated. Design and characterization of PHVD, NHVD, and two level-up-Shifters topologies were presented. Simulation and experimental results validate the proposed Floating-Gates protection technique and shows its usefulness in designing HV integrated circuits essential in HV applications such as driving MEMS in next generation 3D ultrasound echographic handheld devices [6, 19].

#### **ACKNOWLEDGMENTS**

This research was conducted under the Canadian Research Chair on Smart Medical Devices. Also, the authors would like to acknowledge support from NSERC, Micronet,



DALSA Semiconductor, ScanView and CMC Microsystems. Thanks are also due to Mr. R. Meingan for his input to this project.

## REFERENCES

- [1] B.A Parviz, T.-K Allen Chou, C. Zhang, K. Najafi, M.O. Muller, P.D Washabaugh, L.P. Bernal, "Performance of ultrasonic electrostatic resonators for use in micro propulsion", The 14th IEEE International Conference on Micro Electro Mechanical Systems, Interlaken Switzerland 2001, pp. 586-589.
- [2] P. Favrat, L. Paratte, H. Ballan, M.J. Declercq, N.F. DE Rooij, "A 1.5-V-supplied CMOS ASIC for the actuation of an electrostatic micromotor", IEEE/ASME Transactions on Mechatronics, Vol. 2, No. 3, pp. 153-160, 1997.
- [3] G. Galambos, et al., "A Surface Micromachined Electrostatic Drop Ejector", Proceedings of transducers 11th Conference on Solid-State Sensors and Actuators, Munich, Germany, pp. 906-909, June 2001
- [4] S. Kamisuki, et al., "A High Resolution, Electrostatically Driven Commercial Inkjet Head", the 13th IEEE Workshop on Proceedings of MEMS, Micro Electromechanical System, pp. 793-798, January 2000.
- [5] E. Montané, P. Miribel-Català, J. López-Sánchez, M. Puig-Vidal, S. Bota, and J. Samitier, "High-voltage smart power integrated circuits to drive piezoceramic actuators for microrobotic applications", IEE proc.-Circuits Devices Syst., Vol. 148. No. 6, December 2001.

- [6] R. Chebli, M. Sawan, "Fully integrated high-voltage front-end interface for ultrasonic sensing applications", IEEE Transactions on circuits and systems-I, Vol. 54, No. 1, pp. 179-190, January 2007.
- [7] H. Ballan, M. Declercq, "High voltage devices and circuits in standard CMOS technologies", Kluwer Academic Publishers, Netherlands, 1999.
- [8] V. Valencic, H. Ballan, P. Deval, B. Hochet, M. Declercq, "50-V LCD driver integrated in standard 5-V CMOS process", IEEE Proceedings Custom Integrated Circuits Conference, pp.578 - 581, May 1994.
- [9] D. Pan, H.W. Li, B.M. Wilamowski, "A low voltage to high voltage level shifter circuit for MEMS application", IEEE Proceedings of the 15<sup>th</sup> University/Government/Industry Microelectronics Symposium , pp. 128 – 131, July 2003.
- [10] J. M. Bourgeois, "An isolated gate drive for power MOSFETs and IGBTs in SGS-Thomson Discrete Devices Transistors Applications Notes", New York: SGS-Thomson, Mar. 17, 2000.
- [11] P. Favrat, M.J. Declercq, "A new CMOS on-chip high-voltage generator", ESSCIRC '98., pp. 104-107, Sept. 1998.
- [12] M.R Hoque, T. Ahmad, T. McNutt, A. Mantooth, M.M. Mojarradi, "Design technique of an on-chip, high-voltage charge pump in SOI", IEEE International Symposium on Circuits and Systems (ISCAS), Vol. 1, p.p 133-136, May 2005.
- [13] P. Favrat, Ph. Deval, M. J., Declercq, "A high-efficiency CMOS voltage doubler", IEEE Journal of Solid-State Circuits, Vol. 33, No. 3, pp. 410-416, March 1998.

- [14] R. Chebli, M. Sawan, Y. Savaria, "A Programmable Positive and Negative High-Voltage DC-DC Converter Dedicated for Ultrasonic Applications", IEEE MWSCAS, August 2005.
- [15] M. J. Declercq, M. Shubert, F. Clement, "5V-to-75V CMOS Output Interface Circuits", IEEE Int. Solid-State Circuits Conference, pp. 162-163, 1993.
- [16] J. F. Richard, B. Lessard, R. Meingan, S. Martel, Y. Savaria, "High voltage interfaces for CMOS/DMOS technologies", IEEE NEWCAS, pp. 93-96, Jun 2003.
- [17] R. Chebli, M. Sawan, Y. Savaria, "Gate oxide protection in HV CMOS/DMOS integrated circuits: Design and experimental results", IEEE ICECS, December 2005.
- [18] Z. Huang, Y. Savaria, M. Sawan, "Robust Design of a Dynamically Controlled Low-Power Level-up-Shifter operating up to 300 V ", IEEE MWSCAS, pp. 321-324, July 2004.
- [19] M. Sawan, R. Chebli, A. Kassem, "Integrated Front-End Receiver for a Portable Ultrasonic System", Analog Integrated Circuits and Signal Processing, Vol. 36, No.1, pp. 57-67, Jul 2003.

## Figures

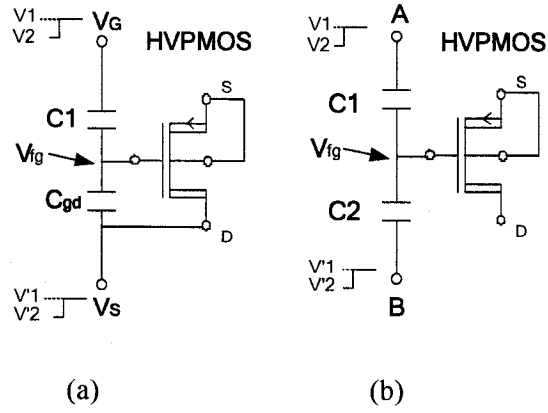


Figure 4.1. : Gate oxide protection: (a) One capacitor, (b) Two capacitors.

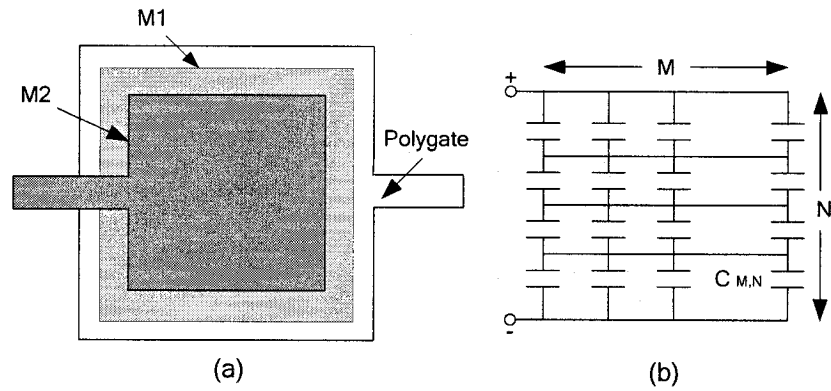


Figure 4.2. : Layout of the capacitor built with: (a) Polygate-Metal1-Metal2 and (b) using cascade MxN array standard element.

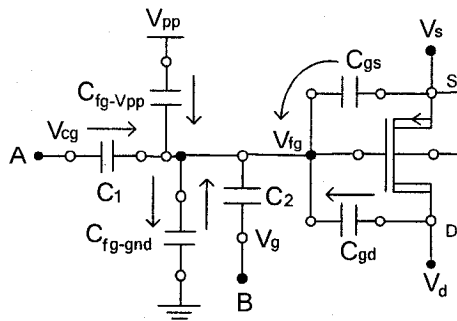
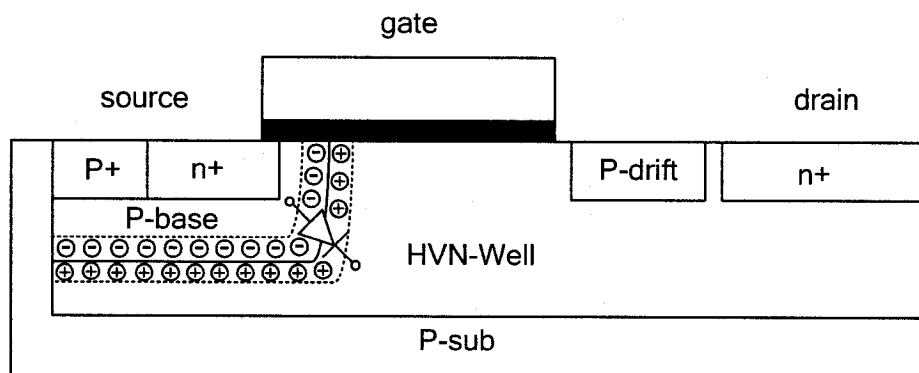
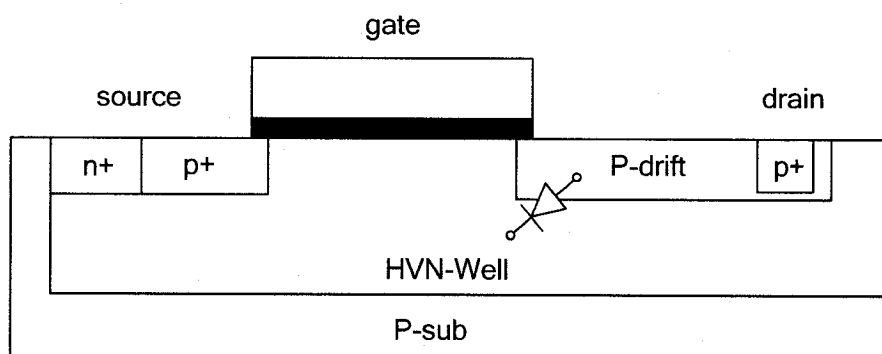


Figure 4.3. : Current model for FG DMOS transistor.



(a)



(b)

Figure 4.4. : Cross-sections of DALSA semiconductor technology for HVNMOS transistor: (a) HVNMOS, (b) HVP MOS.

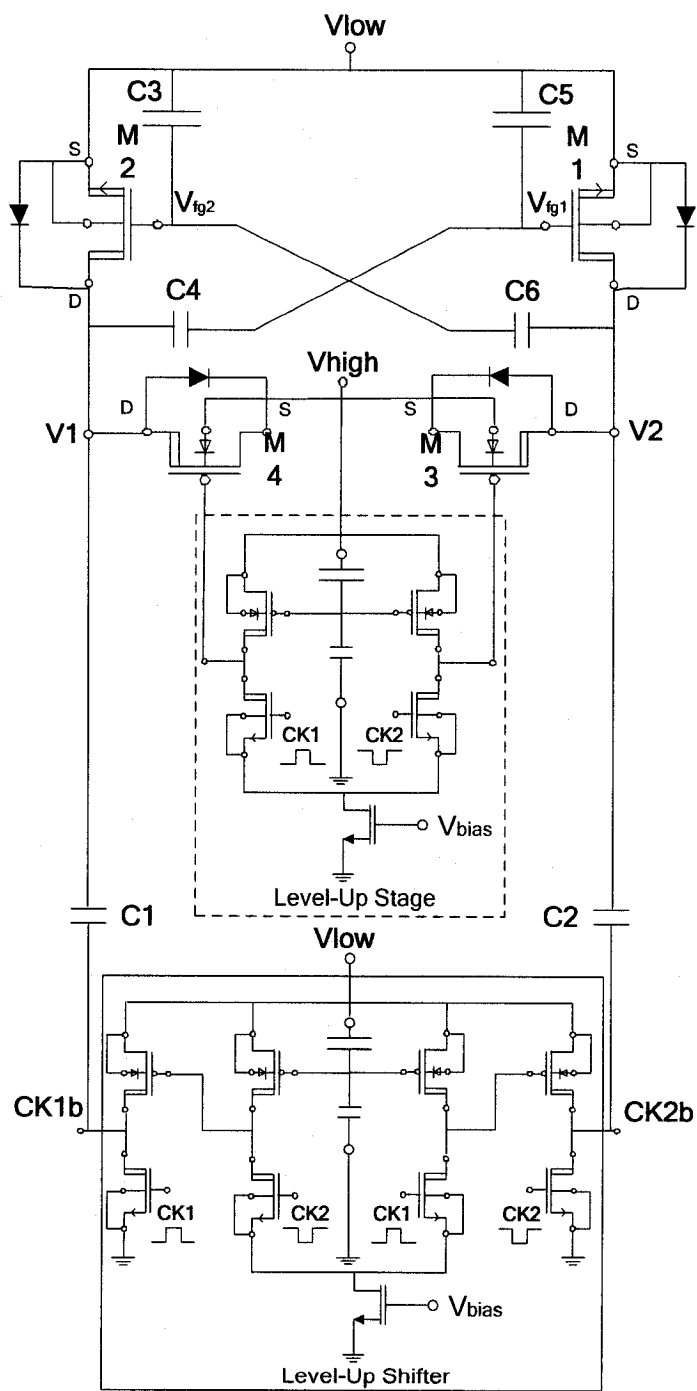


Figure 4.5. : Positive high-voltage doubler.

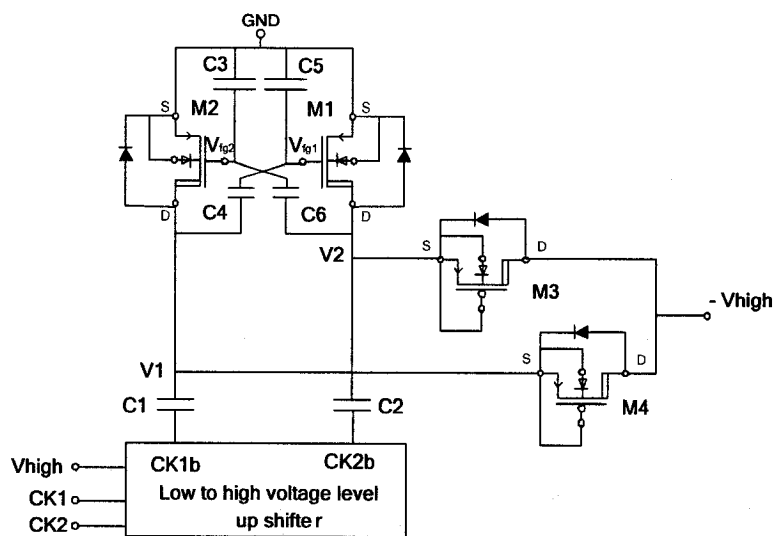
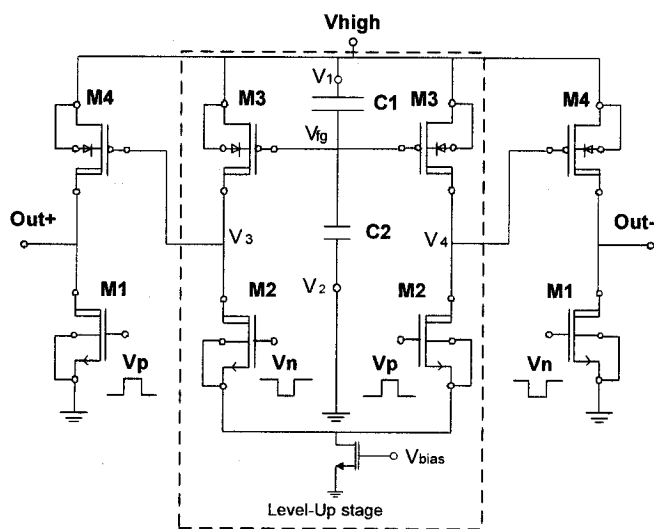


Figure 4.6. : Schematic of the NHVD.



(a)

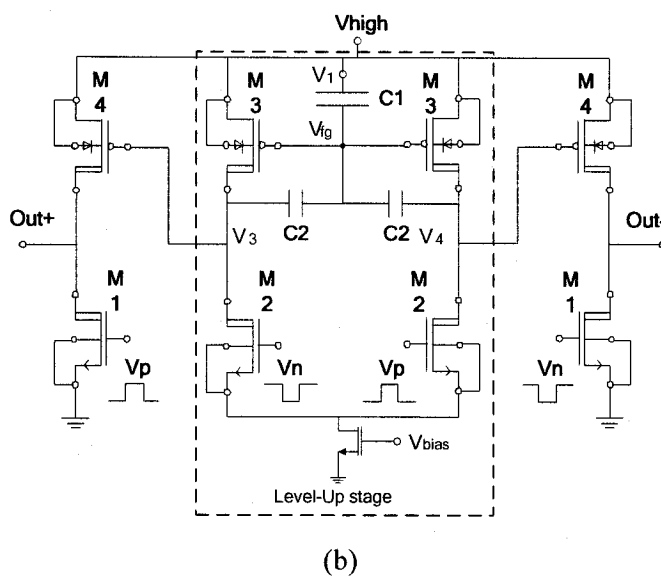


Figure 4.7. : The proposed LUSs: (a) First topology, (b) Second topology.

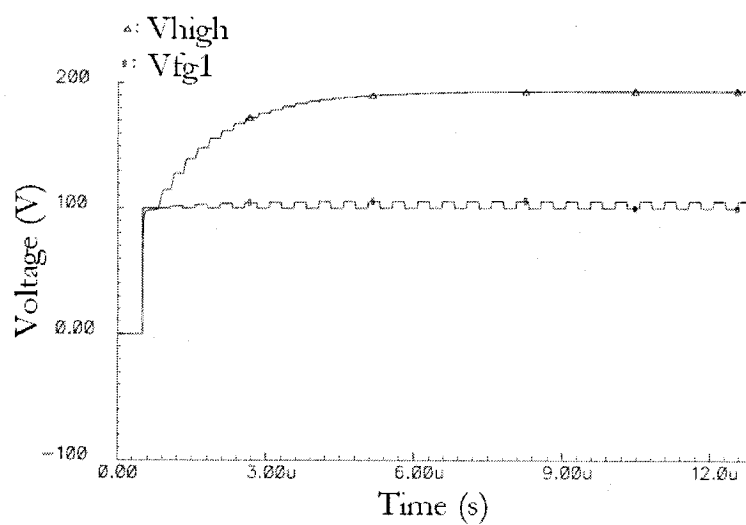


Figure 4.8. : Simulation results of the positive voltage doubler with  $C3 = 15 \text{ pF}$ ,  $C6 = 1 \text{ pF}$  and  $V_{low} = 100 \text{ V}$ .



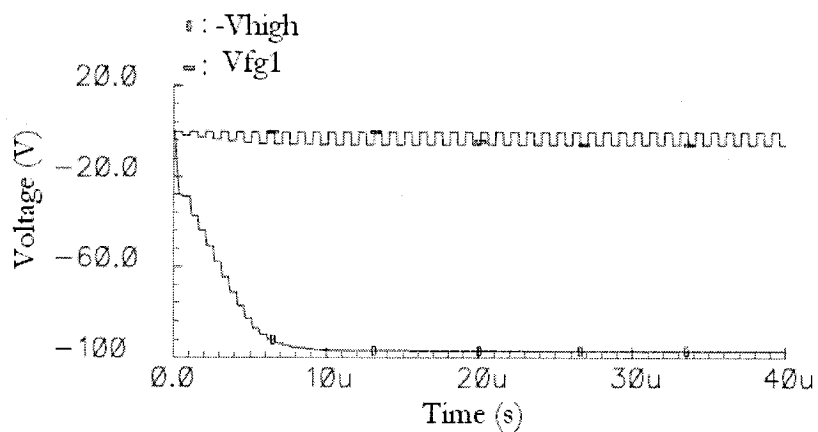


Figure 4.9. : Simulation results of the NHVD with  $C_3 = 1$  pF,  $C_6 = 16$  pF and  $V_{high} = 100$  V.

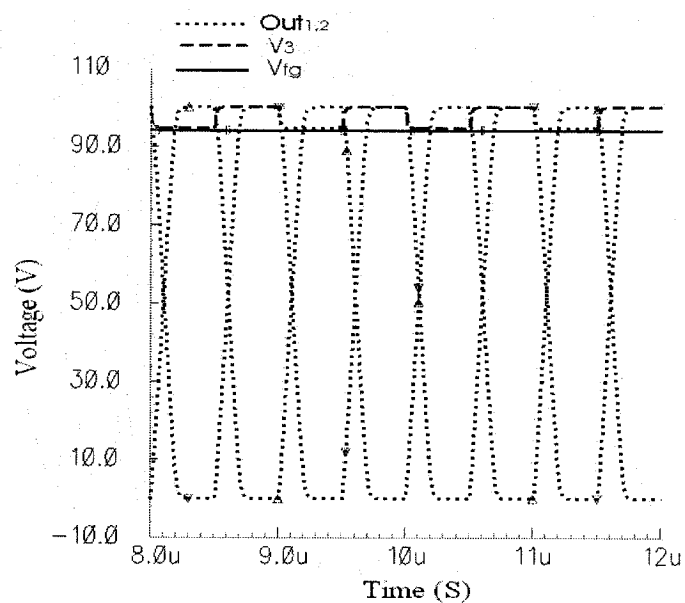


Figure 4.10. : Simulation results of the LUS1 with  $C_1 = 16$  pF and  $C_2 = 1$  pF.

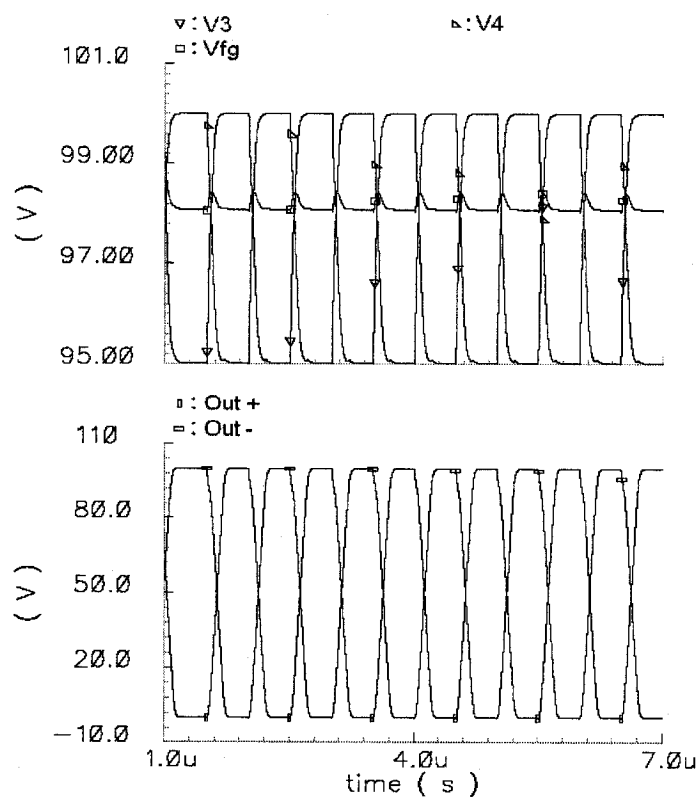


Figure 4.11. : Simulated waveforms of the LUS2 with  $C_1 = 16$  pF and  $C_2 = 1$  pF.

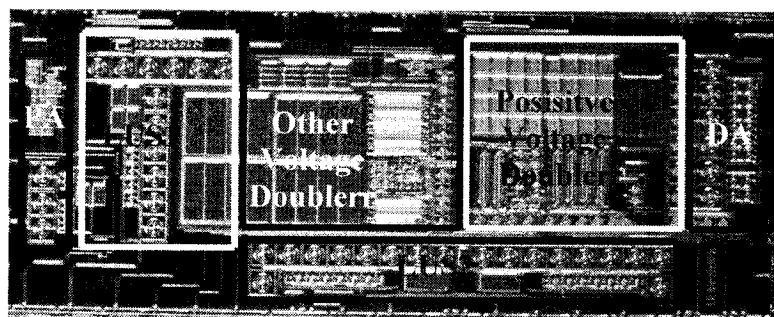


Figure 4.12. : Microphotograph of the HV CMOS/DMOS chip.

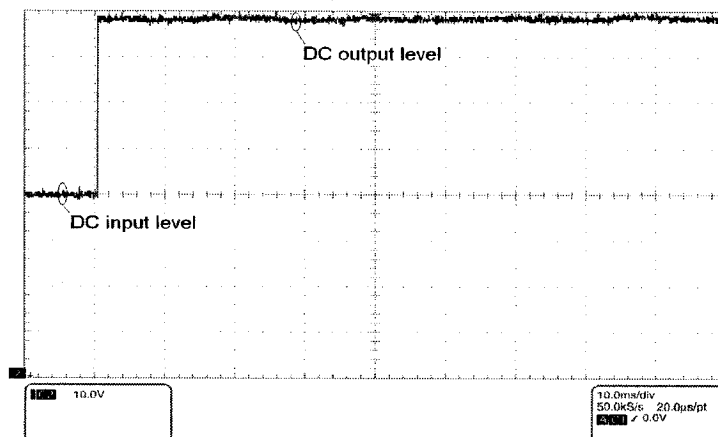
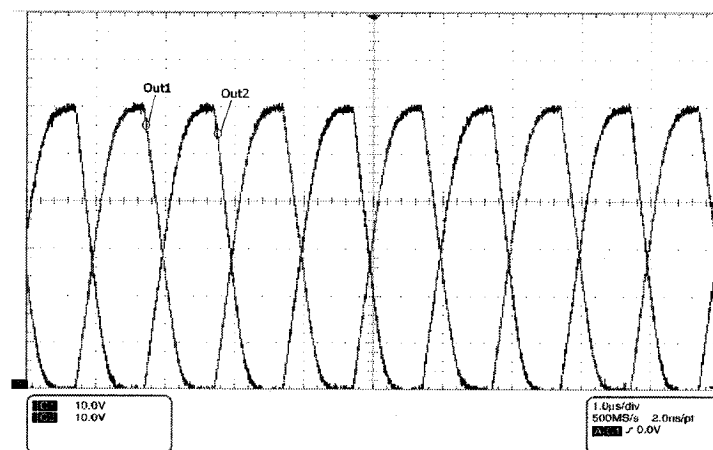
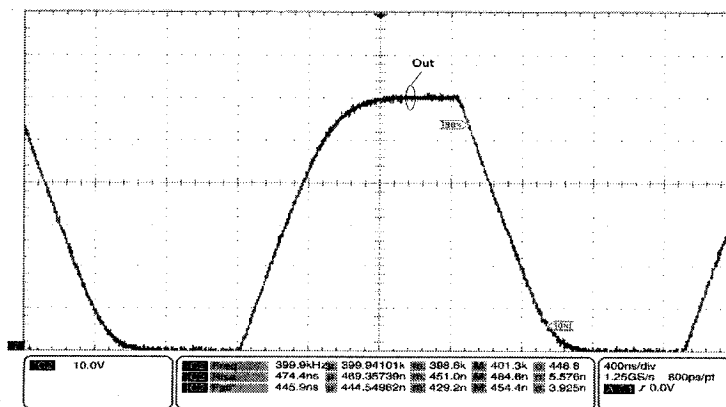


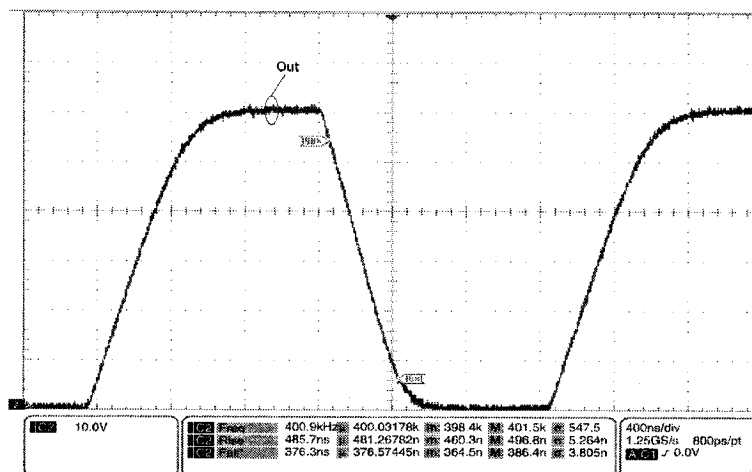
Figure 4.13. : Measured output ( $V_{high} = 78.3 \text{ V}$ ) of the voltage doubler circuit: input ( $V_{low} = 40 \text{ V}$ ),  $C_{load} = 100 \text{ pF}$ ,  $R_{load} = 10 \text{ M}\Omega$ , and  $f = 2 \text{ MHz}$ .



(a)

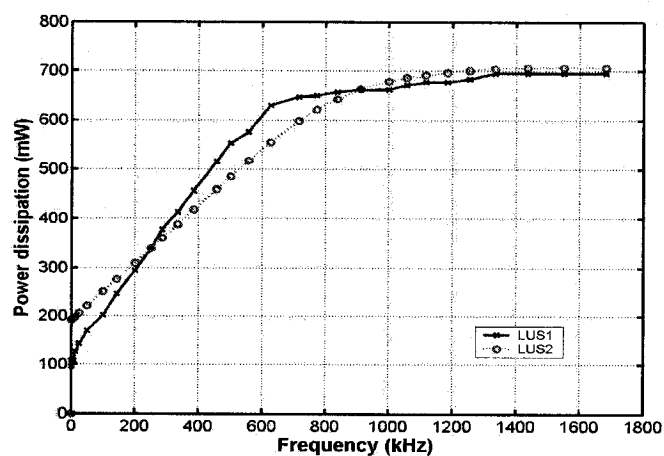


(b)

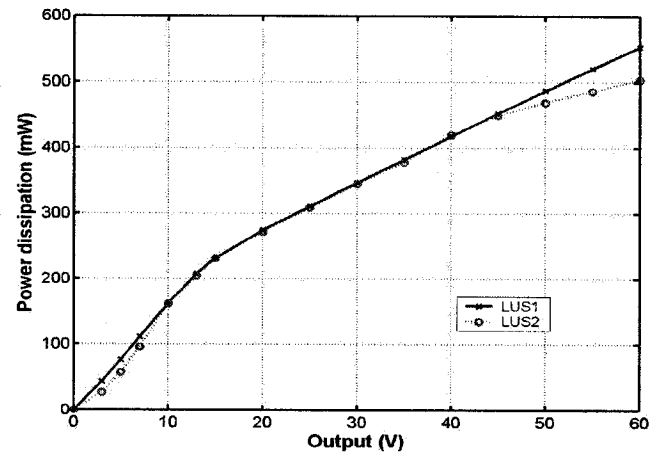


(c)

Figure 4.14. : Measured characteristics of LUSs with  $C_{\text{Load}} = 100$  pF and  $R_{\text{Load}} = 10$  M $\Omega$  : (a) Differential output of LUS1 at  $f = 556$  kHz, (b) and (c) Rise and fall times of LUS1 and LUS2 with  $f = 400$  kHz.



(a)



(b)

Figure 4.15. : Measured power dissipation of LUSs with  $C_{load} = 100$  pF and  $R_{load} = 10$  M $\Omega$  in function of: (a) Operation frequency, (b) Output swing with  $f = 500$  kHz.

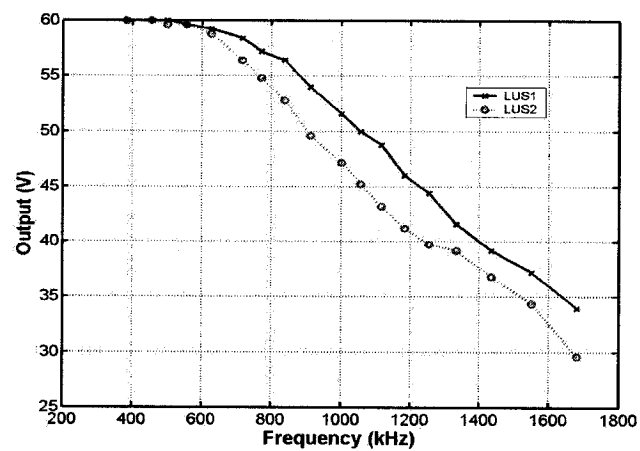


Figure 4.16. : Measured output variation of LUSs with  $C_{load} = 100$  pF and  $R_{load} = 10$  M $\Omega$ .

**Table 4.1. : Simulation characteristics of the proposed NHVD.**

Characteristics	Value
Voltage gain factor [%]	98
Input voltage [V]	100
Output voltage [V]	-100
Clock frequency [MHz]	2
Power consumption [mW]	280
Output voltage ripples [mV]	45
Output current @ 1M $\Omega$ [mA]	1.7
Power supply [V]	5
Fall time @ 100 pF [ $\mu$ s]	15

**Table 4.2. : Comparison of the proposed LUSs with conventional topologies.**

Characteristics	CONV.1 Measured	CONV.2 Simulated	LUS1 Measured	LUS2 Measured
Reference	[15]	[16]	This work	This work
LVS* [V]	5	5	5	5
HVS** [V]	75	100	100	100
Rise time [ns]	80 @30 pF, 50 V	300 @ 50 pF, 100 V	474 @100 pF,60 V	484 @ 100 pF, 60 V
Fall time [ns]	80 @ 30 pF, 50 V	210 @ 50 pF, 100 V	445 @ 100 pF,60 V	376 @100 pF, 60 V
Power dissipation [W]	> 0.55 @ 30 pF, 50 V, 500 kHz	0.63 @ 50 pF, 100 V, 1.25 MHz	0.55 @ 100 pF, 60 V, 556 kHz	0.5 @ 100 pF, 60 V, 556 kHz

\*LVS = Low voltage supply

\*\*HVS = High voltage supply

## **CHAPITRE 5**

### **COMPLÉMENT AUX TRAVAUX ET VALIDATION PAR COMPOSANTS DISCRETS**

Les chapitres III et IV ont été consacrés à la conception, l'implémentation et la validation des circuits intégrés dédiés aux applications haute tension, en particulier l'émetteur intégré des systèmes ultrasoniques portables. Dans le présent chapitre, nous apporterons un complément aux travaux et validations au niveau discret des techniques et circuits proposés.

#### **5.1 Étage de doubleur de haute tension positive**

Dans le chapitre III de cette thèse nous avons présenté les travaux liés à l'intégration et la validation de l'étage de doubleur de haute tension positive en utilisant la technologie 0,8  $\mu\text{m}$  CMOS/DMOS.

Dans ce chapitre, nous présentons la validation de cet étage de doubleur de haute tension positive en utilisant des composants discrets, tels que des transistors CMOS haute tension de type N et P et des capacités de haute tension. Cette validation constitue une partie de notre travail publié dans la revue « Journal of Annals for Micro and Nano Systems » [CHE08]. En effet, ce travail a été réalisé afin de valider au niveau discret toutes les techniques de conception et les méthodes de protection proposées : 1) l'utilisation des transistors haute tension en polarisation inverse afin d'accéder à leurs diodes internes; 2) protection de la grille des transistors HVPMOS lors du transfert de

charges qui est basé sur l'utilisation d'un circuit LU; 3) contrôle de la tension de sortie DC de l'étage de doubleur de tension. Le contrôle est basé sur l'utilisation d'un régulateur de tension implémenté dans un LUS servant comme un générateur d'horloge de l'étage. Ce régulateur sert à travers ce LUS à ajuster la tension de sortie DC de l'étage.

Le schéma au niveau discret de l'étage implémenté est montré à la figure 5.1. Les transistors haute tension utilisés sont les HEXFET (IRFD210, IRFD220, IRFD221, IRFD9210) 4-Pin Dip de type N et P de 10 V/200 V fournis par *International Rectifier*. Aussi, les capacités Poly-Métal de 250 V sont utilisées, entre autres, pour réaliser la pompe de charges requises.

La simulation de cet étage a été réalisée par Pspice dans l'environnement du logiciel ORCAD.

Tel que mentionné dans le chapitre III, les transistors haute tension sont unidirectionnels et ils ne peuvent pas être utilisés comme des commutateurs ordinaires. Cependant, dans la réalisation de cet étage au niveau discret, des transistors HEXFET sont connectés en inverse et leurs diodes internes sont utilisées comme le montre la figure 5.1.

## 5.2 Résultats expérimentaux au niveau discret

Pour valider la méthode de protection de la grille des transistors de transfert de charges HEXFET (IRFD9210) de type P, nous avons réalisé un circuit LU au niveau discret comme le montre la figure 5.1. Il est utilisé pour maintenir sur la grille de ces



transistors une haute tension très proche de la tension de sortie de l'étage. Pour que la tension grille source reste plus petite que la tension de claquage de l'oxyde de la grille, la tension de polarisation de la grille ( $V_{pg}$ ) du transistor de contrôle de courant (IRFD220) est fixée à 1 V. La figure 5.2 montre les résultats expérimentaux du niveau DC appliqué sur la grille de l'un des transistors IRFD9210. Cette tension de 68 V est très proche de celle de la sortie du doubleur de tension.

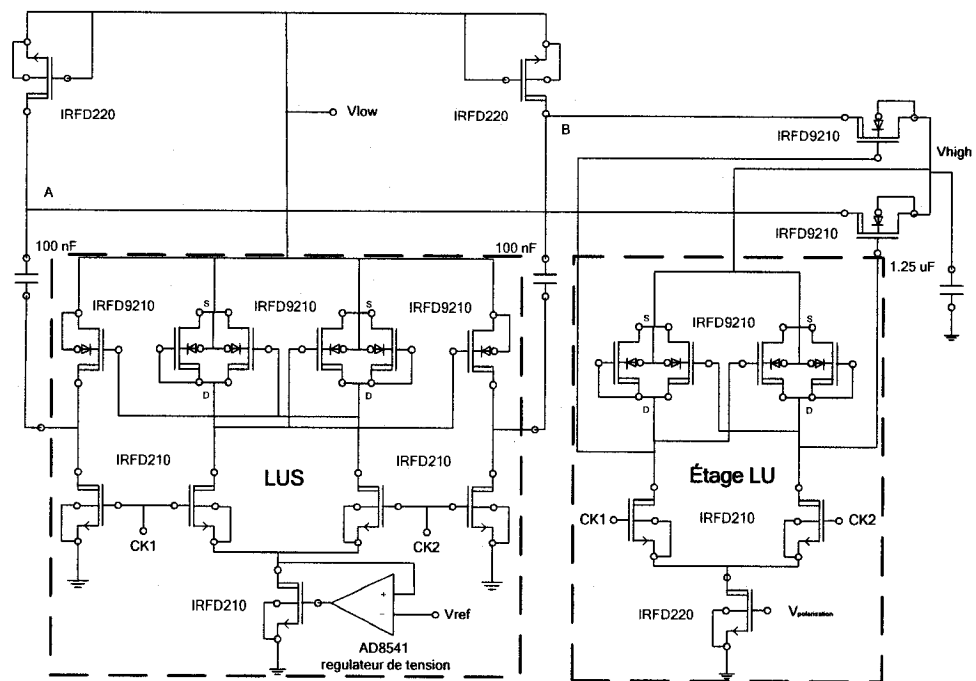


Figure 5.1. : Doubleur de haute tension positif conçu avec des composants discrets.

Pour valider la technique de programmation de sortie de l'étage proposé, un régulateur de tension basé sur un comparateur AD8541 est implémenté dans le LUS comme le montre la figure 5.1. L'entrée négative du comparateur est connectée à une tension de référence ( $V_{ref}$ ) et son entrée positive est connectée au drain du transistor de contrôle du courant (IRFD210). Cette entrée négative sert à forcer la tension  $V_{ref}$  sur le drain du

transistor IRFD210. En augmentant  $V_{ref}$ , l'amplitude de la sortie différentielle de LUS diminue et ensuite le niveau DC de sortie de l'étage diminue, et vice versa. La figure 5.3 montre le niveau DC mesuré à la sortie du doubleur de tension, qui varie avec l'amplitude d'une des sorties du LUS pour un  $V_{ref} = 2.7$  V.

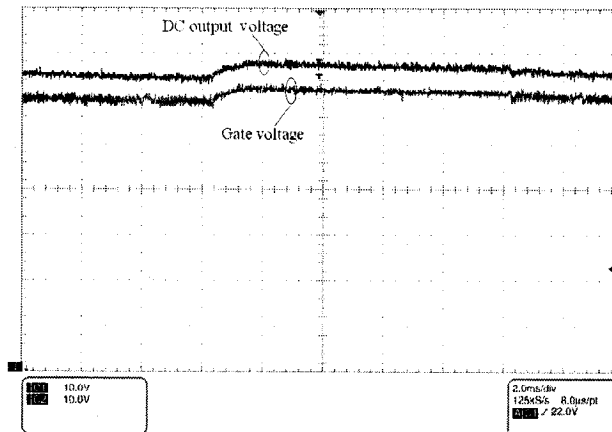


Figure 5.2. : Résultats expérimentaux montrant les niveaux DC de la tension appliquée sur la grille de l'un des transistors IRFD9210 et de la tension de sortie de l'étage.

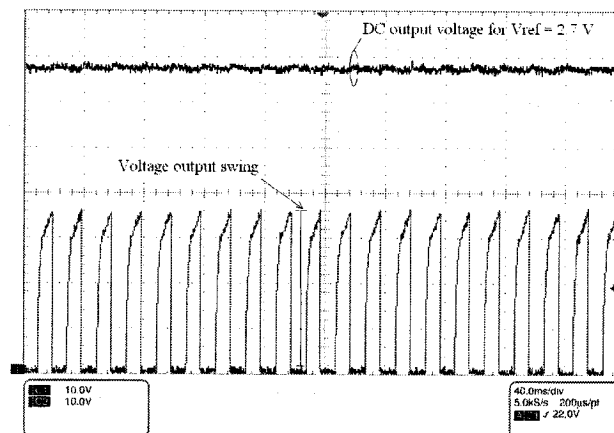
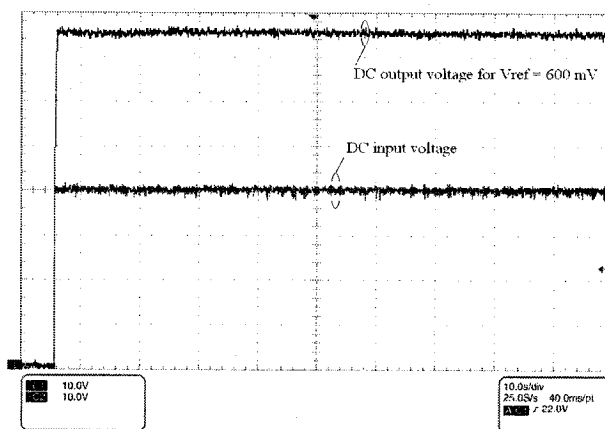


Figure 5.3. : Résultats expérimentaux montrant le niveau DC de la tension de sortie du circuit qui varie avec l'amplitude de sortie du LUS pour un  $V_{ref} = 2.7$  V.

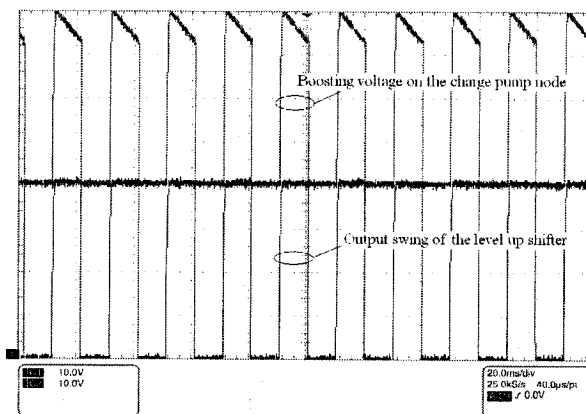
La figure 5.4a montre un niveau DC mesuré de 76 V de la tension de sortie de l'étage doubleur de tension pour une tension  $V_{ref} = 600$  mV et une tension d'entrée de 40 V. La

chute de tension de sortie est due à la tension de seuil des diodes internes et aux résistances dynamiques des transistors haute tension. Afin de réduire l'ondulation de tension de sortie de l'étage, une charge capacitive de  $1,25 \mu\text{F}$  est utilisée.

La figure 5.4b montre les résultats expérimentaux de l'oscillation de l'une des sorties du LUS et le niveau DC de la tension élevée sur l'un des nœuds internes (A) de l'étage (Fig. 5.1), ce qui confirme la validité de l'utilisation des diodes internes.



(a)



(b)

Figure 5.4 : Résultats expérimentaux montrant (a) le niveau DC de la tension de sortie de l'étage, (b) l'oscillation de la sortie du LUS et la tension sur le nœud interne (A).

### 5.3 Générateur d'impulsion réglable

Afin de générer les signaux de commande nécessaires pour contrôler l'amplificateur d'amorçage (Drive Amplifier), un générateur d'impulsions réglable à faible surface et consommation de puissance réduite est exposé dans ce chapitre [CHE08]. Pour adapter le générateur d'impulsions réglable aux critères de toute application ultrasonique et surtout à l'émetteur du système ultrasonique portable, telles qu'une impulsion de quelques nanosecondes et une période de répétition d'impulsions de quelques microsecondes sont requises, on a proposé une nouvelle topologie d'un oscillateur en anneau combiné avec un nouveau modulateur numérique de largeur d'impulsion (Digital Pulse Width Modulator - DPWM). Le diagramme bloc fonctionnel de ce générateur est présenté à la figure 5.5. L'oscillateur en anneau contrôlé en tension (Voltage- Controlled Oscillator - VCO) est utilisé pour générer à l'entrée du DPWM un signal d'horloge ayant une large plage de fréquence. Le DPWM, constitué de portes logiques, est utilisé pour générer des impulsions d'amplitude 5 V qui seront appliquées aux entrées d'un amplificateur d'amorçage. Cet amplificateur est activé à la fréquence centrale de résonance d'un transducteur ultrasonique (par exemple élément piézoélectrique de 3,5 MHz). Nous expliquons dans ce qui suit l'essentiel de ces modules.

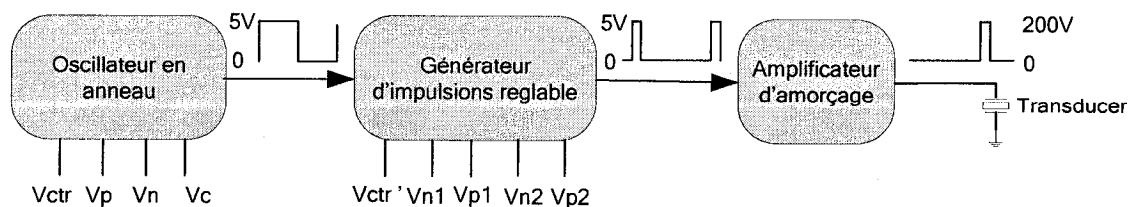


Figure 5.5. : Diagramme bloc du générateur d'impulsion réglable.

### 5.3.1 Oscillateur en anneau à tension commandée

Cet oscillateur en anneau commandé en tension (VCO) conventionnel est réalisé par des étages de  $2N+1$  inverseurs (ou  $N$  est le nombre d'inverseur), avec un mécanisme de contrôle du courant passant dans ces inverseurs [JOH97]. Habituellement, nous utilisons un transistor PMOS pour contrôler le courant de la partie supérieure et un NMOS pour contrôler le courant de la partie inférieure de l'étage inverseur. Supposons que les capacités parasites  $C_g$  de la grille des transistors du NMOS et du PMOS sont égales, la fréquence d'oscillation peut être définie tel que :

$$f_{osc} = \frac{1}{2N\tau} \quad (5.1)$$

où  $\tau$  est le délai pour un étage, peut être défini par

$$\tau = \frac{V_{osc} C_g}{I_{ctrl}} \quad (5.2)$$

où  $V_{osc}$  est l'amplitude d'oscillation, et  $I_{ctrl}$  est le courant de contrôle. Des deux équations ci-dessus, nous pouvons en déduire

$$f_{osc} = \frac{I_{ctrl}}{2NV_{osc} C_g} \quad (5.3)$$

Dans [RET02], les auteurs ont proposé une méthode qui consiste à ajouter une résistance contrôlable à l'entrée de chaque étage, ce qui produit une augmentation du délai. Le délai de chaque étage peut être calculé à partir de la figure 5.6a où  $g_m$  est la transconductance de chaque inverseur et  $C_g$  est la capacité parasite des transistors NMOS et PMOS.

Le délai  $\tau$  de chaque étage peut être approximé comme suit :

$$\tau = \frac{C_g (1 + g_m R_V)}{g_m} \quad (5.4)$$

et la fréquence d'oscillation est :

$$f_{osc} = \frac{g_m}{2NC_g (1 + g_m R_V)} \quad (5.5)$$

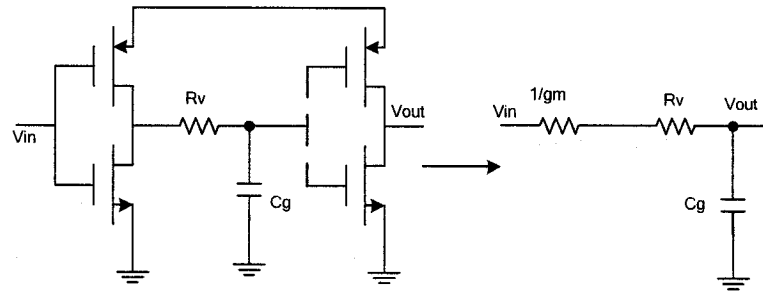
De l'équation (5.5) nous pouvons voir que la fréquence d'oscillation qui peut être changée en variant la valeur de la résistance  $R_V$ , tout en supposant que  $C_g$  et  $g_m$  sont constants. Ainsi avec une grande valeur de  $R_V$ , une basse fréquence d'oscillation peut être obtenue en utilisant des transistors de faibles tailles et moins d'étages d'inverseurs. La résistance contrôlable peut être réalisée avec des transistors PMOS ou NMOS, comme proposé dans [ENA90]. La résistance d'une porte de transmission peut être contrôlée par ses tensions  $V_p$  et  $V_n$ . Habituellement  $V_p$  est égale à  $V_{DD} - V_n$  pour une raison de symétrie.

Étant donné que le délai de chaque étage est égal à la résistance de cet étage multipliée par la capacité d'entrée de l'étage suivant, de même que la méthode ci-dessus qui permet de changer le délai en ajoutant une résistance variable, on peut également obtenir un oscillateur de fréquence variable en additionnant une capacité variable. Cette capacité supplémentaire  $C_C$  connectée en parallèle avec la capacité parasite  $C_g$  de l'inverseur, induit un changement du délai d'un étage, tel que ce dernier devient :

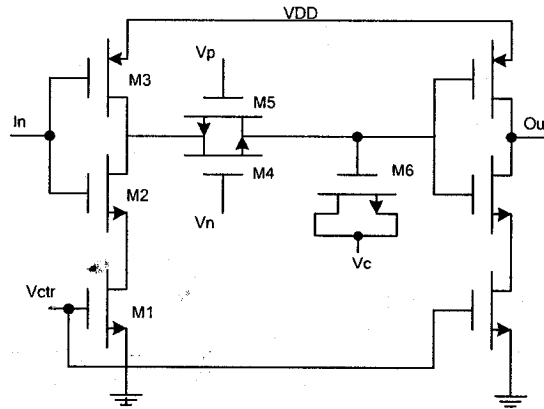
$$\tau = \frac{(C_g + C_C)(1 + g_m R_V)}{g_m} \quad (5.6)$$

et la fréquence d'oscillation est égale à

$$f_{osc} = \frac{g_m}{2N(C_g + C_C)(1 + g_m R_V)} \quad (5.7)$$



(a)



(b)

Figure 5.6. : Un étage VCO : (a) Approximation du délai pour un VCO avec une résistance contrôlable, (b) cellule de délai.

La capacité variable peut être réalisée par un transistor NMOS dont le substrat est connecté à la masse, sa source et son drain sont reliés à une tension de contrôle ( $V_c$ ), comme représenté dans la figure 5.6b. De [JOH97], le modèle de capacité de ce transistor est montré dans la figure 5.7a, où  $V_{DS} = 0$  et  $C_{gb} = WLC_{ox}$  dans le pire cas. Quand la tension de la grille est beaucoup plus petite que celle du contrôle  $V_c$ , les autres capacités sont relativement petites comparées à  $C_{gb}$ , et quand elle est égale à  $V_c$ ,  $C_{gb} = WLC_{ox}$  est

connectée en série avec la capacité d'appauvrissement canal substrat et elle est considérablement petite. Dans ce cas-ci, le rapport entre la capacité contrôlable et la tension de contrôle  $V_c$  est complexe et non linéaire. Cependant, quand la tension  $V_c$  est égale à  $V_{DD}$ , la valeur de la capacité contrôlable est minimale, et de ce fait une fréquence d'oscillation maximale peut être obtenue. Au contraire, quand elle est égale à  $V_{SS}$  et la tension de grille source est plus grande que la tension de seuil de transistor, la capacité variable devient  $C_{gs} = WLC_{ox}$ , ce qui implique une augmentation du temps de montée du signal d'entrée et produit une fréquence d'oscillation minimale.

En effet, cette méthode de l'augmentation de délai proposée reste insuffisante pour obtenir une large plage de fréquences d'oscillation car la capacité de la grille des transistors MOS ne peut pas changer suffisamment. En plus, pour un VCO de très basse fréquence, la taille du transistor NMOS utilisé doit être très grande afin d'obtenir une grande capacité contrôlable, ce qui demande une grande surface de silicium. Il faut donc combiner cette méthode avec d'autres afin d'obtenir la plage de fréquences d'oscillation désirée.

Le diagramme bloc du VCO proposé, implémenté dans le générateur d'impulsions réglable, est montré dans la figure 5.7b. Ce VCO proposé permet d'obtenir une large plage de fréquences allant de 13 Hz à 407 MHz, ce qui est difficile à obtenir avec un VCO conventionnel. Il est composé de cinq étages de cellules de délai, (D1 à D5) reliées par une boucle et suivies d'un diviseur, avec deux inverseurs à la fin qui agissent comme un « buffer » [CHE04]. Afin d'obtenir cette large plage fréquentielle, la méthode



conventionnelle est combinée avec la méthode de résistance variable [RET02]. Pour une faible fréquence d'oscillation, un transistor NMOS est ajouté à chaque cellule de délai agissant comme une capacité variable.

Chaque étage est composé d'un inverseur avec le courant contrôlé par un transistor NMOS (M1) en cascade, une porte de transmission comme résistance variable et un transistor NMOS comme capacité variable. En changeant seulement une tension de contrôle séparément, la fréquence d'oscillation peut être changée selon les équations (5.3), (5.5) et (5.7) respectivement.

Comme mentionné ci-dessus, l'inconvénient du VCO conventionnel est que lorsque le courant de contrôle est très faible afin d'obtenir une oscillation de basse fréquence, cela crée également une lente oscillation de tension et ne permet pas d'avoir un intervalle d'amplitude maximal. En plus, les niveaux hauts et bas du signal d'oscillation ne sont pas égaux en basse fréquence. Afin d'éviter ce problème, un diviseur par deux est utilisé à la fin de la boucle. Il est basé sur une bascule D, dont la sortie inversée est rebouclée à son entrée, comme présenté dans la figure 5.7b. La bascule est activée à chaque front montant de l'entrée. Par conséquent, le rapport cyclique est toujours de 50 %, indépendamment de la fréquence. En outre, elle divise la fréquence d'oscillation par deux.

Dans le cas où on opère à basse fréquence, les temps de montée et de descente sont relativement lents, ce qui empêche le diviseur de fonctionner correctement. Pour remédier à ce problème, il faut utiliser un circuit de tampon (buffer) qui est composé d'un

ensemble d'inverseurs. Les inverseurs après la bascule sont utilisés dans le même but que précédemment. Le VCO proposé nous permet de générer à sa sortie un signal symétrique, après avoir utilisé le diviseur à une fréquence aussi basse que 13 Hz. Cependant, dans les opérations à haute fréquence, l'inverseur a assez de courant, ce qui nous permet d'obtenir un signal de sortie symétrique sans employer le diviseur. Finalement, un multiplexeur basé sur une porte de transmission et un signal de contrôle est utilisé pour contrôler le fonctionnement du VCO en basse ou en haute fréquence, en utilisant ou non le diviseur.

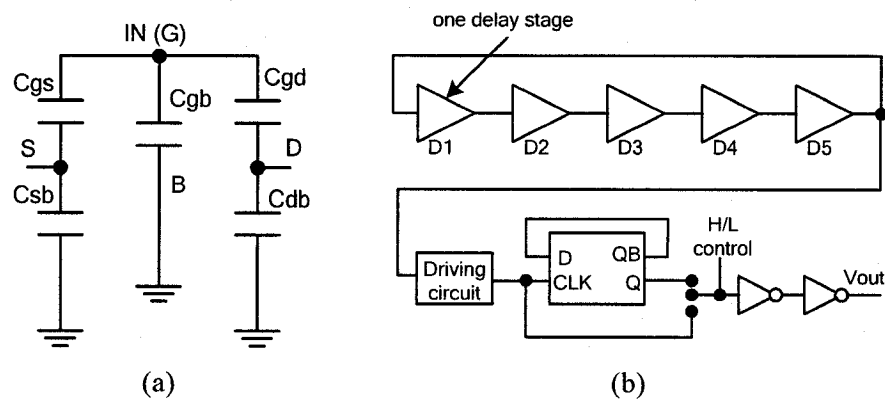


Figure 5.7. : Le VCO proposé : (a) Modèle capacitif d'un transistor MOS dans son état désactivé, (b) diagramme bloc.

### 5.3.2 Modulateur numérique de largeur d'impulsion (DPWM)

Le diagramme bloc du modulateur numérique de largeur d'impulsion est présenté à la figure 5.8. Il est utilisé pour activer l'amplificateur d'amorçage par trois signaux d'impulsion clk1, clk2 et clk3, montrés sur la figure 5.9. Chaque horloge générée par ce modulateur a un rapport cyclique allant de 0 % à 50 %. Comparé au modulateur analogique de largeur d'impulsion conventionnel [SIR00], le circuit proposé possède plusieurs avantages : possibilité d'opération à haute fréquence, basse complexité, faible

sensibilité par rapport à la variation du procédé et basse consommation de puissance. Ce circuit est composé de deux chaînes de délai, de deux portes logiques OU et ET et des éléments de délai fixe. Le circuit a une entrée ( $Out_{VCO}$ ) et trois sorties  $clk1$ ,  $clk2$  et  $clk3$ . Le signal d'entrée est une onde carrée provenant de la sortie du VCO. Il est caractérisé par un rapport cyclique de 50 % et d'une fréquence  $FVC_{osci}$ . Les chaînes de délai sont composées par des inverseurs à tension commandée et des portes de transmission, telle que la largeur des signaux d'impulsion est réglable par les signaux de commande  $V_{n1}$ ,  $V_{n2}$ ,  $V_{p1}$  et  $V_{p2}$ . Les tensions de commande  $V_{ctr}$ ,  $V_{n1}$  et  $V_{p1}$  sont utilisées pour contrôler le rapport cyclique des signaux de sortie  $clk1$  et  $clk3$ , alors que les tensions de commande  $V_{n2}$  et  $V_{p2}$  définissent le rapport cyclique du signal  $clk2$ , tels que tous ces signaux de sortie ont la même fréquence que le signal d'entrée.

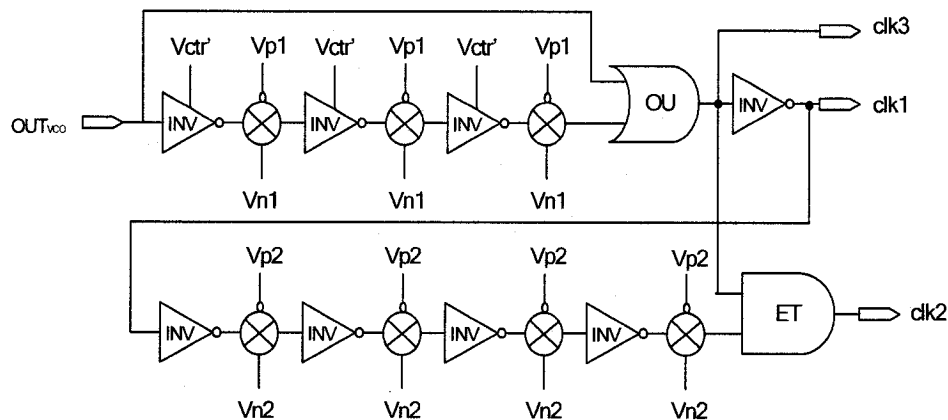


Figure 5.8. : Diagramme bloc du modulateur numérique de largeur d'impulsion (DPWM).

Afin de créer les deux signaux d'impulsion sans recouvrement  $clk1$  et  $clk3$  représentés dans la figure 5.9, le signal d'entrée principal du circuit est retardé, inversé par trois cellules de délai et ensuite appliqué à une des entrées d'une porte OU. Sur la deuxième entrée de la porte OU est appliqué directement le même signal d'entrée. Le signal de

sortie de la porte OU génère clk3 et son inverse, qui est clk1. Pour créer le signal d'impulsion clk2, le signal clk1 est retardé par quatre étages de cellules de délai et ensuite appliqué à l'entrée de la porte ET. Le signal clk3 est appliqué directement à la deuxième entrée de la porte ET. Afin de produire des signaux d'impulsions larges,  $V_{n1}$  et  $V_{n2}$  devraient être placés à  $V_{th}-V_{ss}$  et  $V_{p1}$ ,  $V_{p2}$  à  $V_{DD}-V_{th}$  et pour des signaux d'impulsion brève  $V_{n1}$  et  $V_{n2}$  devraient être placés à  $V_{DD}-V_{th}$  et  $V_{p1}$ ,  $V_{p2}$  à  $V_{th}-V_{ss}$ .

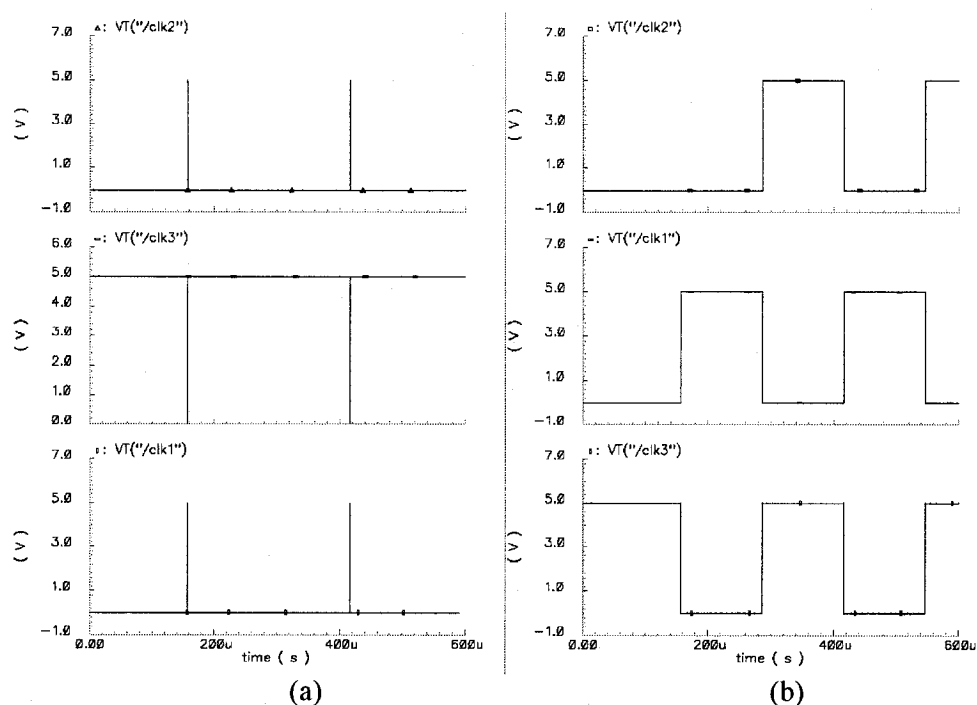
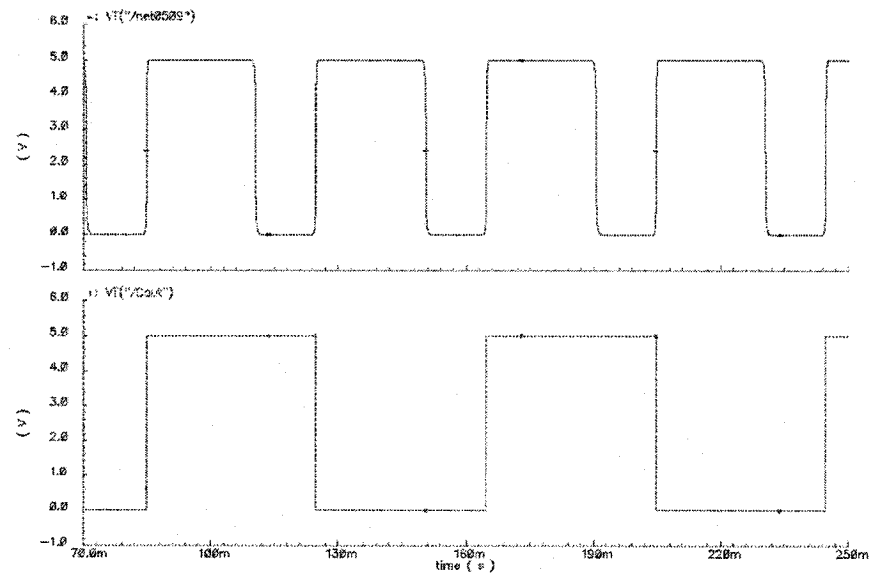


Figure 5.9. : Résultats de simulation du DPWM pour un rapport cyclique allant de 0% to 50% (a) impulsion de largeur minimale de 35 ns, (b) largeur maximale de 130 us.

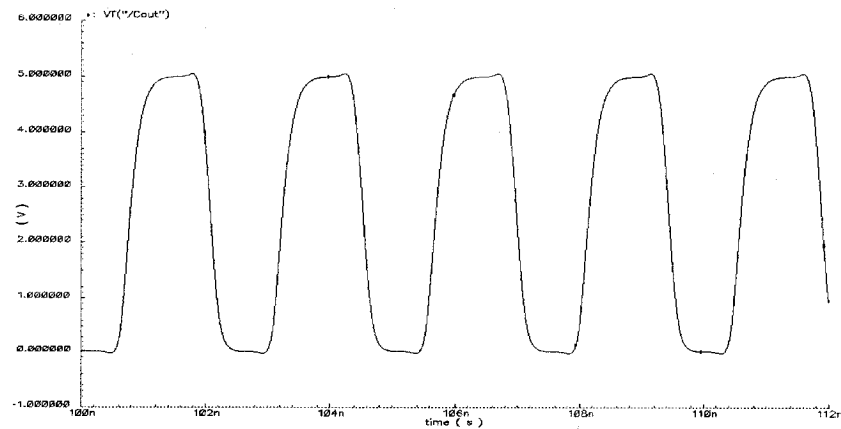
### 5.3.3 Simulations de VCO

Le VCO et le modulateur numérique de largeur d'impulsions sont implémentés en utilisant la technologie  $0,8\ \mu\text{m}$  avec une source d'alimentation de 5 V. La figure 5.10 illustre les sorties transitoires du VCO à la fréquence de 13 Hz et de 407 MHz. La réponse de sortie à la fréquence d'oscillation la plus élevée est obtenue en fixant toutes les

tensions de commande à VDD. En outre, la figure 5.10 montre les caractéristiques transitoires simulées du VCO, qui correspondent à la fréquence d'oscillation en fonction de la tension de commande ( $V_{ctrl}$ ). Ces caractéristiques sont obtenues en fixant les valeurs des tensions de commande des cellules de délai résistif et capacitif et en augmentant la tension de commande des inverseurs à tension commandée.



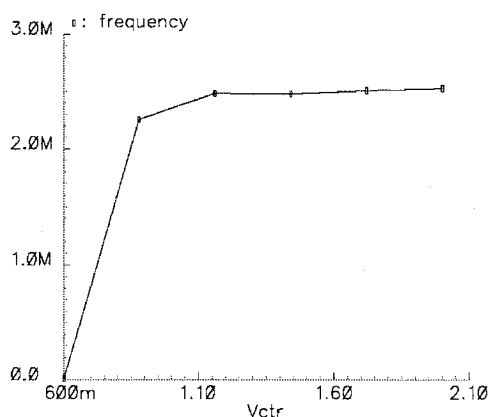
(a)



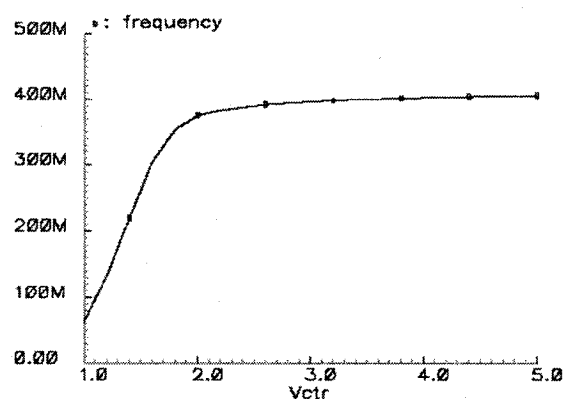
(b)

Figure 5.10. : Réponse de sortie transitoire du VCO: (a) à la fréquence d'oscillation de 13 Hz avec et sans le diviseur, (b) à la fréquence d'oscillation 407 MHz.

Les courbes pour la tension de commande allant de 0 V à 800 mV et de 1 V à 1,8 V et qui correspondent respectivement à la fréquence d'oscillation allant de 13 Hz à 2,3 MHz et de 70 MHz à 300 MHz, sont presque linéaires (figures 5.11a et b). Par conséquent, en changeant les trois autres tensions de commande ( $V_n$ ,  $V_p$  et  $V_c$ ), une autre plage linéaire de la fréquence d'oscillation en fonction de la tension de commande ( $V_{ctr}$ ) peut être obtenue. La consommation de puissance maximale du VCO, à la fréquence la plus élevée, est de 29,3 mW. Notons que cette dernière comprend celle du modulateur numérique de largeur d'impulsion, qui est d'environ 1 mW.



(a)



(b)

Figure 5.11. : Fréquence d'oscillation en fonction de la tension de commande : (a) pour la fréquence d'oscillation de 13 Hz à 2.3 MHz, (b) pour la fréquence d'oscillation de 70 MHz à 300 MHz.

#### 5.4 Résultats expérimentaux concernant la méthode de protection

La méthode de protection proposée dans le chapitre quatre est implémentée en utilisant la technologie 0,8  $\mu\text{m}$  CMOS/DMOS fournie par DALSA Semiconductor sous le logiciel Cadence. Les capacités  $C_1$  et  $C_2$  sont choisies respectivement égales à 20 pF et

1 pF. Pour une tension continue de 100 V appliquée au nœud A (figure 5.12) et 0 V appliquée au nœud B, la polarisation sur la grille flottante obtenue est de 95,2 V (figure 5.13a). Pour un signal carré d'amplitude de 50 V appliqué au nœud B, la polarisation de la grille flottante oscille entre 95,2 V et 97,6 V (figure 5.13b).

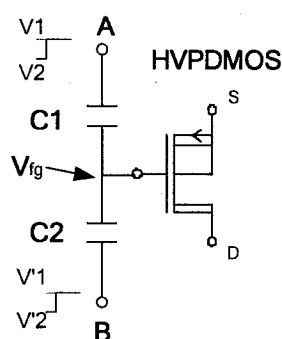


Figure 5.12. : Méthode de protection de l'oxyde de la grille en utilisant deux capacités cascadées.

Les résultats expérimentaux de la polarisation de la grille flottante sont obtenus en utilisant des composants discrets, comme par exemple le transistor haute tension HEXFET de type P 4-Pin Dip et des capacités haute tension obtenues de la société *International Rectifier*. Les capacités  $C_1$  et  $C_2$  sont choisies respectivement égales à 1,5  $\mu\text{F}$  et 100 nF. Pour une tension continue de 60 V appliquée au nœud A et 0 V au nœud B, la polarisation mesurée de la grille flottante est égale à 53,8 V (figure 5.14a). Pour un signal carré d'amplitude 60 V appliqué au nœud B, la polarisation mesurée de la grille flottante oscille entre 53,8 V et 57,5 V (figure 5.14b). Une chute de tension de 2,5 V est observée, à cause de la tension de seuil du transistor haute tension HEXFET 10 V / 200 V de type N monté en source suiveuse, telle que sa grille est attachée avec la grille flottante afin de mesurer la polarisation de cette dernière.

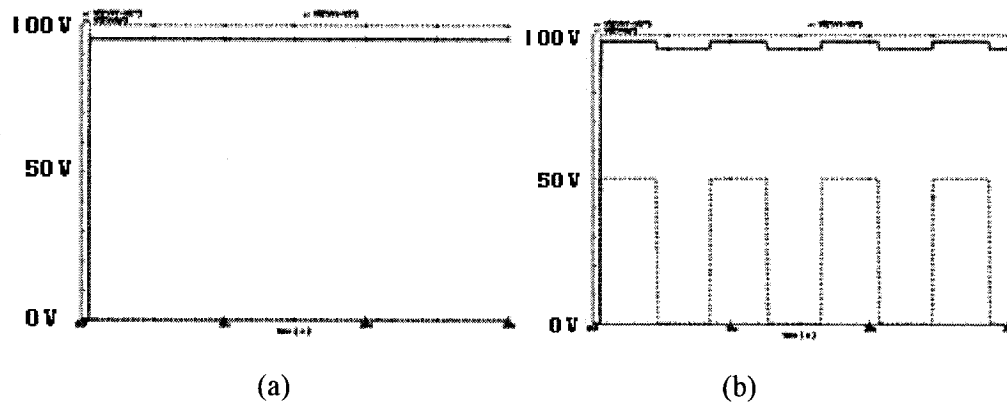


Figure 5.13. : Simulation de la polarisation de la grille flottante pour : (a) une tension contenue de 0 V, (b) un signal carré de 50 V appliqué au nœud B.

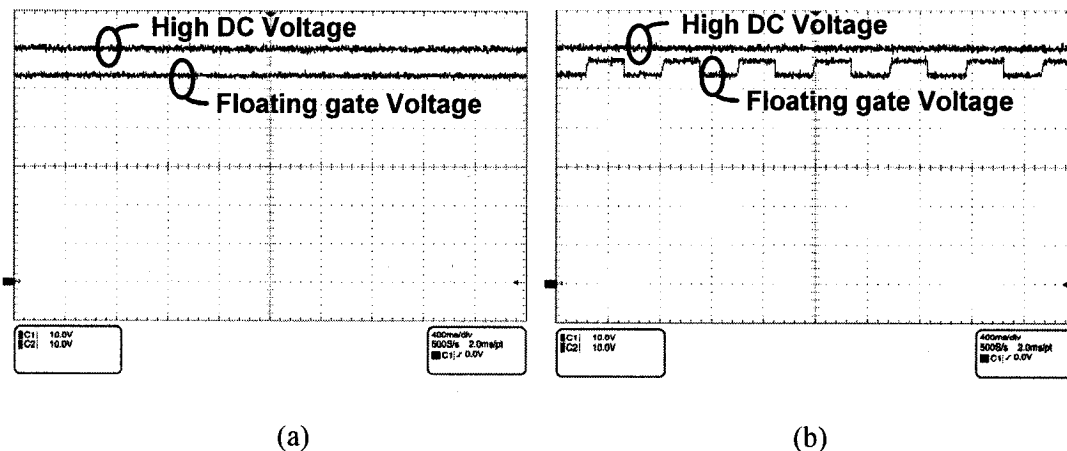


Figure 5.14. : Résultats expérimentaux de la grille flottante pour : (a) une tension continue de 0 V, (b) un signal carré de 60 V appliqué au nœud B (1 carreau =10 V).

## 5.5 Conclusion

Dans ce chapitre, nous avons présenté le complément aux travaux concernant l'émetteur ultrasonique intégré et les résultats expérimentaux de la validation au niveau discret des circuits, des techniques de conception et de la méthode de protection proposées.



Pour activer l'amplificateur d'amorçage, un générateur d'impulsion réglable est conçu. Il est constitué d'une nouvelle topologie d'un oscillateur en anneau combiné à un nouveau modulateur numérique de largeur d'impulsion (DPWM). Cet oscillateur proposé est basé sur des méthodes à délai conventionnel combinées avec une capacité variable, et nous permet de générer un signal d'horloge ayant une large plage de fréquences. Le modulateur numérique de largeur d'impulsion proposé est constitué des chaînes à délai, et permet de générer des impulsions de large rapport cyclique. Les résultats de simulation de l'oscillateur et du modulateur nous montrent respectivement une large plage de fréquences d'opération allant de 13 Hz à 407 MHz, et un signal d'impulsion de rapport cyclique allant de 0 à 50 %, ce qui est adéquat pour les systèmes ultrasoniques et pour toute application qui opère à très basse et moyenne fréquence. Afin de valider les techniques de conception proposées et la méthode de protection basée sur la technique de la grille flottante, l'étage de doubleur de tension positive et la méthode en question sont implémentés en utilisant des composants discrets. Les résultats expérimentaux nous montrent le bon fonctionnement des techniques et méthodes proposées.

## **CHAPITRE 6**

### **DISCUSSION GÉNÉRALE ET CONCLUSION**

L'avancement de la technologie en microélectronique, spécialement la disponibilité de la technologie MOS à plusieurs tensions d'alimentation, nous a permis de faire l'intégration d'une interface analogique en technologie CMOS à faible consommation de puissance et à tension mixte. Cette dernière peut être utilisée dans plusieurs domaines et en particulier en ultrason. Nous avons proposé dans cette thèse des techniques de conception de circuits à basse et haute tension dédiée à un émetteur ultrasonique totalement intégré.

Généralement, en diagnostic médical, les émetteurs ultrasoniques conventionnels sont constitués d'un générateur d'alimentation haute tension DC ( $\leq 200$  V) utilisé pour alimenter un amplificateur de puissance servant à exciter un élément piézoélectrique en appliquant à ses bornes une impulsion haute tension. Afin de définir la durée et le temps de répétition de l'impulsion haute tension, cet amplificateur est commandé par des signaux d'impulsion à basse tension qui sont produits par un générateur d'impulsion à rapport cyclique ajustable. Tous ces modules cités auparavant sont basés sur des composants discrets à basse et haute tension montée sur des cartes électroniques résultant en une grande dissipation de puissance, une source de bruit et une large surface d'occupation.

Nos contributions concernant le développement de l'émetteur ultrasonique proposé dans cette thèse se résument dans de nouveaux modules de base composant cet émetteur. Ces modules sont intégrés en technologie CMOS/DMOS 0.8  $\mu\text{m}$  et opèrent à des tensions d'alimentation mixte 5 volts et 200 volts. Ces nouveaux modules sont les suivants :

- Nouvelle topologie d'un convertisseur DC-DC à haute tension positive :

Cette nouvelle topologie proposée concerne la génération de la tension d'alimentation pour un nouveau module appelé amplificateur d'amorçage. Elle est constituée de cinq étages cascades de doubleurs haute tension. Dans chaque étage, un circuit élévateur de niveau de tension est utilisé comme générateur d'horloge afin d'augmenter sa tension de sortie DC exponentiellement. Chaque étage est constitué d'un «booster» de haute tension, d'un circuit élévateur de niveau de tension (LUS) et d'un circuit de décalage de niveau de tension (LU).

Afin de transférer les charges d'un nœud à un autre les transistors HV MOS doivent fonctionner comme des commutateurs. Étant donné qu'ils sont unidirectionnels (leur source est connectée automatiquement à leur substrat locale), une solution est suggérée; elle consiste à utiliser ces jonctions internes comme des diodes contribuant au doublage de la tension d'entrée sur les nœuds internes de l'étage et à leur transfert vers la sortie de l'étage. Cependant, pour protéger l'oxyde de la grille des transistors HV PMOS et NMOS durant l'augmentation de la tension d'un étage à un autre, deux méthodes de protection sont proposées. La première méthode est basée sur le circuit de décalage de niveau de tension servant à maintenir sur la grille des transistors HV PMOS la même tension de

sortie de l'étage. La deuxième méthode est basée sur la technique de la grille flottante servant à diviser la haute tension sur la grille des transistors HV NMOS et maintenir une tension grille source plus petite que sa tension de claquage.

Afin d'exciter plusieurs transducteurs ultrasoniques, une méthode de programmation de la tension de sortie DC de ce convertisseur est proposée. Elle est basée sur un régulateur de tension implémenté dans le circuit élévateur de niveau de tension du second étage du convertisseur servant à ajuster sa sortie DC dans une plage allant de 10 V à 200 V. A l'inverse des convertisseurs DC-DC conventionnels à base d'inductance, le circuit proposé dans cette thèse ne nécessite pas un circuit de régulation de tension pour arrêter l'augmentation de la tension de sortie DC. Par conséquent, ce convertisseur pourrait être utilisé dans toutes les applications intégrées de faible consommation de puissance qui requièrent de faibles espaces d'intégration. Le circuit peut servir aussi comme source d'alimentation pour d'autres applications nécessitant la haute tension comme par exemple l'amorçage des microsystèmes et l'écran plat, la programmation des mémoires non-volatiles EPROM ou Flash, les circuits biomédicaux et de télécommunication.

- Nouvelle topologie d'un convertisseur DC-DC à haute tension négative :

Ce type de circuit est utilisé pour activer un actionneur MEMS ou alimenter un amplificateur d'amorçage. Il est basé sur un circuit élévateur de niveau de tension alimenté par la sortie du convertisseur DC-DC à haute tension positive servant à convertir cette sortie en un niveau DC négatif à travers des capacités de pompe de charge et des diodes internes des transistors de haute tension. La méthode de protection basée sur la

grille flottante est utilisée pour protéger les grilles de ces transistors. Le niveau DC de la sortie de ce circuit peut être ajusté par la tension d'alimentation du circuit élévateur de niveau de tension. Ce circuit peut être utilisé pour plusieurs applications comme par exemple les systèmes de télécommunications portables et les systèmes audio/Vidéo (Caméra photos).

- Deux nouvelles topologies d'un circuit élévateur de niveau de tension :

Afin de réduire la consommation de puissance et la surface de convertisseur DC-DC à tension positive qui est constitué de plusieurs circuits éleveurs de niveau de tension, deux nouvelles topologies ont été proposées. Elles sont basées sur la technique de la grille flottante servant avec des valeurs optimales des capacités haute tension à remplacer l'étage d'entrée de circuit élévateur de niveau de tension conventionnel. Il est à noter que cet étage d'entrée consomme une puissance statique élevée et occupe une surface de silicium due aux dimensions de ces transistors haute tension connectés dans une configuration de diodes.

La seule différence entre les deux topologies réside dans la structure de la technique de grille flottante appliquée dans leurs étages d'entrée. Une de ces topologies à un effet « feedthrough » très faible alors que l'autre consomme moins de puissance due à sa structure de diviseur de tension.

Ces circuits peuvent être utilisés dans plusieurs applications comme par exemple amorçage des microsystèmes, des écrans plats et la protection de la grille des transistors haute tension.

- Nouvelle topologie d'un amplificateur d'amorçage :

Ce circuit proposé est dédié à exciter le transducteur ultrasonique par une impulsion de haute tension positive. La nouvelle topologie permet de diminuer la consommation de puissance et la surface d'intégration de l'émetteur ultrasonique qui est normalement formé de plusieurs canaux d'excitation des transducteurs. La forme d'onde de l'impulsion de haute tension choisie est rectangulaire avec une durée d'excitation inversement proportionnelle au double de la fréquence centrale de résonance du transducteur. Cette impulsion de haute tension est recommandée pour les systèmes médicaux à imagerie ultrasonore car elle représente un compromis entre la résolution axiale et la profondeur de propagation de l'onde émise. Cette impulsion produit une onde de réception courte et de haute amplitude permettant de réduire ultérieurement le gain d'amplification de l'étage de réception.

Cet amplificateur d'amorçage est basé sur un circuit de décalage de niveau de tension et un étage de sortie de commutation de classe D. Sa tension d'alimentation est connectée au nœud de sortie du convertisseur DC-DC proposé. Cependant, il est commandé par trois signaux d'horloge à basse tension  $clk1$ ,  $clk2$  et  $clk3$  produits par un générateur de signaux réglables. Le signal  $clk1$  est utilisé pour ajuster la durée d'impulsion de haute

tension et clk2 et clk3 sont employés pour mettre la sortie de l'amplificateur d'amorçage à la masse afin d'arrêter l'oscillation du transducteur.

Pour réduire la consommation de puissance de cet amplificateur, le circuit de décalage de niveau de tension est désactivé pour toute la durée de répétition d'impulsion de haute tension.

En conséquence, ce circuit d'amorçage proposé peut être utilisé pour remplacer tout amplificateur d'amorçage à base des composants discrets utilisé pour exciter un transducteur ultrasonique ainsi que pour commander tout autre microsystème et systèmes optoélectroniques, des écrans plats, des diodes lasers, etc.

- Générateur d'impulsions réglable :

Ce circuit est constitué de nouvelles topologies d'un oscillateur en anneau et d'un modulateur numérique de largeur d'impulsion combinée ensemble. D'abord le rôle de ce circuit est de générer des signaux à rapport cyclique ajustable utilisés pour activer l'amplificateur d'amorçage. L'oscillateur proposé est composé de cinq cellules à délai qui sont montées en boucle. Afin d'obtenir une large plage fréquentielle, allant de 13 Hz à 104 MHz ce qui est difficile à aboutir avec un oscillateur conventionnel, ces cellules à délai combinent plusieurs méthodes d'ajustement de délai connues et une méthode que nous proposons. Cette dernière est basée sur une capacité variable. Aussi la boucle est suivie d'un multiplexeur servant de passer ou non le signal généré par la boucle à travers un diviseur de fréquence utilisé pour réduire sa fréquence d'oscillation et ainsi avoir une

amplitude maximale avec un rapport cyclique de 50 % indépendamment de sa fréquence d'oscillation.

Quant au nouveau modulateur numérique de largeur d'impulsion, il est basé sur des éléments logiques simples (OU, ET, portes de transmission et des inverseurs à tension commandée). Ces éléments sont combinés afin de générer les signaux utilisés pour commander l'amplificateur d'amorçage. Cependant, chaque signal généré par ce circuit a un rapport cyclique allant de 0 % à 50 %. Ce circuit proposé présente beaucoup d'avantages comparé au modulateur de largeur d'impulsion conventionnel qui est basé sur un comparateur analogique utilisé pour comparer une tension de référence avec l'amplitude d'un signal sinusoïdal afin de générer des impulsions brèves. Son avantage réside dans sa capacité d'opérer à haute fréquence, sa faible sensibilité par rapport à la variation du procédé et à basse consommation de puissance.

Ce générateur d'impulsion réglable proposé dans cette thèse est pratique pour les applications nécessitant de hautes et basses fréquences et qui requièrent de faibles espaces d'intégration et consommation d'énergie. Le circuit peut servir aussi pour d'autres applications nécessitant un court rapport cyclique des signaux de contrôle tel que le cas de systèmes électromagnétiques de transfert d'énergie et de données.

#### **Travaux futurs et recommandations :**

Pour les travaux futurs concernant la poursuite du thème abordé dans cette thèse, nous recommandons d'explorer la mise en œuvre d'un circuit de protection qui pourrait



protéger l'étage de réception de toute impulsion de haute tension générée par l'amplificateur d'amorçage et qui pourra endommager les modules de la partie de réception du système ultrasonique portable.

Étant donné que tous les systèmes ultrasoniques développés récemment utilisent plusieurs canaux de transmission, nous recommandons la conception d'un démultiplexeur de haute tension. Ce démultiplexeur sera connecté à la sortie d'un amplificateur d'amorçage et permettra d'activer successivement plusieurs éléments piézoélectriques afin de réduire la consommation de puissance ainsi que la surface de l'étage de transmission du système ultrasonique.

En ce qui concerne le convertisseur DC-DC de haute tension proposé, nous suggérons de connecter sa sortie à un démultiplexeur de haute tension pour alimenter plusieurs charges capacitives de 100 pF. Ces dernières seront utilisées comme des réservoirs de charge pour alimenter l'amplificateur d'amorçage.

De plus, la réduction de plus en plus de la surface d'intégration ainsi que la consommation de puissance de l'amplificateur d'amorçage, nous recommandons d'utiliser la technique de la grille flottante pour remplacer son circuit de décalage de niveau de tension.

Ajoutons que pour exciter le transducteur ultrasonique avec une impulsion bipolaire recommandée en imagerie ultrasonore, nous suggérons de modifier le circuit de l'amplificateur d'amorçage proposé en ajoutant un deuxième étage de sortie de classe D,

commandé par les signaux d'impulsion  $clk2$  et son complément  $clk3$ . La sortie de ce dernier sera connectée à l'autre côté du transducteur.

Finalement, pour améliorer davantage l'efficacité de puissance des convertisseurs DC-DC à haute tension positive et négative proposés, nous recommandons de remplacer les diodes formées par les jonctions internes des transistors DMOS par des diodes de haute tension ayant une faible tension de seuil.

## BIBLIOGRAPHIE

- [BAL99] H. Ballan, M. Declercq, "High Voltage Devices and Circuits in Standard CMOS Technologies", London: Kluwer Academic Publishers, 1999.
- [BEA98] A. Beauchamp-Parent, M. Sawan, "New Reconfigurable Ultrasonic Enuresis Monitoring System", IEEE EMBS, October 1998.
- [BOU00] J. M. Bourgeois, "An isolated gate drive for power MOSFETs and IGBTs in SGS-Thomson Discrete Devices Transistors Applications Notes", New York: SGS-Thomson, March 2000.
- [CHE04] R. Chebli, X. Zhao, M. Sawan, "A Wide Tuning Range Voltage Controlled Ring Oscillator dedicated to Ultrasound Transmitter", IEEE ICM, pp. 313 – 316, December 2004.
- [CHE05] R. Chebli, M. Sawan, Y. Savaria, "Gate oxide protection in HV CMOS/DMOS integrated circuits: Design and experimental results", IEEE ICECS, December 2005.
- [CHE07] R. Chebli, M. Sawan, "Fully integrated high-voltage front-end interface for ultrasonic sensing applications", IEEE Transactions on circuits and systems-I, Vol. 54, No. 1, pp. 179-190, January 2007.
- [CHE08] R. Chebli, M. Sawan, "Integrated Front-End Transmitter for Ultrasonic Applications", à paraître dans le « Journal of annals for micro and nano systems ».

- [CHO94] T. B. Cho and P. R. Gray, "A 10-bit, 20MS/s, 35mW Pipeline A/D Converter", IEEE Custom Integrated Circuits Conference, 1994.
- [CHR88] D. A. Christensen, "Ultrasonic Bioinstrumentation", John Wiley & Sons, New York, 1988.
- [CIN99] G. Cincotti, G. Cardone, P. Gori, M. Pappalardo, "Efficient transmit beamforming in pulse-echo ultrasonic imaging", IEEE Trans. on Ultrasonics, Ferroelectrics, and frequency control, Vol. 46, No. 6, pp. 1450-1458, Nov. 1999.
- [COC32] J. D. Cockcrof, E. T. Walton, "Production of high velocity positive ions", Proc. Roy. Soc., A, Vol. 136, pp. 619-630, 1932.
- [DEC93] M. J. Declercq, M. Shubert, F. Clement, "5V-to-75V CMOS Output Interface Circuits", IEEE Int. Solid-State Circuits Conference, pp. 162-163, 1993.
- [DIC76] J. F. Dickson, "On-Chip High-Voltage Generation in NMOS Integrated Circuits Using an Improved Voltage Multiplier Technique", IEEE Journal of Solid-State Circuits, Vol. 11, No. 3, pp 374 – 378, June 1976.
- [EME95] C. D. Emery, J. C. Swartz, H. C. Casey, S. W. Smith, "Optoelectronic Transmitters for Medical Ultrasound Transducers", IEEE Trans. on Ultrasonics, Ferroelectrics, and frequency control, Vol. 42, No. 2, pp. 1188-199, March 1995.
- [ENA90] S.K. Enam, A. A. Abidi, "A 300-MHz CMOS voltage-controlled ring

- oscillator”, IEEE Journal of Solid-State Circuits, Vol. 25, No.1, pp. 312 – 315, Feb. 1990.
- [FAV98] P. Favrat, M. J. Declercq, “A high-efficiency CMOS voltage doubler”, IEEE Journal of Solid-State Circuits, Vol. 33, No. 3, pp. 410 – 416, March 1998.
- [FAV98] P. Favrat, M. J. Declercq, “A New CMOS On-Chip High-Voltage Generator”, IEEE ESSCIRS, pp. 104-107, Sept. 1998.
- [HES00] H. L. Hess, R. J. Baker, “Transformerless Capacitive Coupling of Gate Signals for Series Operation of Power MOS Devices”, IEEE Transactions on power electronics, Vol. 15, No. 5, pp. 923-930, Sept. 2000.
- [HOQ05] M.R Hoque, T. Ahmad, T. McNutt, A. Mantooth, M.M. Mojarradi, “Design technique of an on-chip, high-voltage charge pump in SOI ”, IEEE International Symposium on Circuits and Systems (ISCAS’05), Vol. 1 pp 133-136 May 2005.
- [HUA04] Z. Huang, Y. Savaria, M. Sawan, “Robust Design of a Dynamically Controlled Low-Power Level-up Shifter operating up to 300 V”, IEEE MWSCAS, pp. 321-324, 2004.
- HUB00 S. Huber, M. Medl, M. Vesely, H. Czembirek, I. Zuna, S. Delorme, “Ultrasonographic tissue characterization in monitoring tumor response to neoadjuvant chemotherapy in locally advanced breast cancer (work in progress)”, Journal of Ultrasound in Medicine, Vol. 19, No. 10 pp. 677-

686, 2000

- [JOH97] D. Johns, K. Martin, "Analog Integrated Circuit Design", John Wiley and Sons, New York, 1997.
- [JOU93] JOUVE P. (1993), "Manuel d'Ultrasonologie Générale de L'adulte", Masson, Paris, 383 pages.
- [KHO02] O. Khouri, S. Gregori, A. Cabrini, R. Micheloni, G. Torelli, "Improved charge pump for flash memory applications in triple well CMOS technology", ISIE 2002, Vol. 4, pp. 1322-1326, July 2002.
- [KIM01] S. H. Kim, J. Tsouhlarakis, J. V. Houdt, "A CMOS DC Voltage Doubler with Non-overlapping Switching Control", IEICE Trans. Electron., Vol. E84-C, No. 2, pp. 274-277, Feb. 2001.
- [MAK95] M.S. Makowski, D. Maksimovic, "Performance limits of switched-capacitor DC-DC converters", IEEE PECS, Vol. 2, pp. 1215 – 1221, June 1995.
- [MCD99] W. N. McDicken, "Diagnostic Ultrasonics: Principales and Use of Instruments", Wiley & Sons, 1999, p. 381.
- [MON95] G. L. Monna, "Charge pump for Optimal Dynamic Range Filter", Proc. ISCAS95, pp. 747-750, April 1995.
- [NAD04] A. Naderi, A. Khoei, K. Hadidi, "High Efficiency On-Chip CMOS DC-DC Converters for Mixed Analog-Digital Low-Power ICs", IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and

- Computer Sciences, Vol. E87-A, No.2, pp. 335-343, Feb. 2004.
- [NAK91] Y. Nakagome et al., "An experimental 1.5V 64Mb DRAM", IEEE J. Solid-State Circuits, Vol. 26, No. 4, pp. 465-472, Apr. 1991.
- [NOV99] A. Novo, A. Gerosa, A. Neviani, A. Mozzi and E. Zanoni, "Programmable Voltage Multiplier for Pacemaker Output Pulse Generator", IEE Electronics Letters, Vol. 35, No. 7, pp. 560-561, April 1999.
- [OGU02] K. Ogura, et al., "Inductor snubber-assisted series resonant ZCS-PFM high frequency inverter link DC-DC converter with voltage multiplier", Proceedings of the Power Conversion Conference, Osaka., Vol.1, pp. 110-114, April 2002.
- [PAN03] D. Pan, H.W. Li, B.M.Wilamowski, "A low voltage to high voltage level shifter circuit for MEMS application", IEEE Proceedings of the 15<sup>th</sup> University/Government/Industry Microelectronics Symposium, pp. 128-131, July 2003.
- [PEL03] R. Pelliconi, D. Iezzi, A. Baroni, M. Pasotti, P. Rolandi, "Power Efficiency Charge Pump in Deep Submicron Standard CMOS Technology", IEEE J. Solid-State Circuits, Vol. 38, No. 6, pp. 1068-1071, June 2003.
- [PER81] H. W. Persson, "Electric Excitation of Ultrasound Transducers for Short Pulse Generation", Ultrasound in Med. & Biol., Vol. 7, pp. 285-291, January 1981.
- [PYL] L. Pylarinos, "Charge Pumps: An Overview"

<http://www.eecg.toronto.edu/~kphang/ece1371/chargepumps.pdf>.

- [RAM00] A. Ramos, J. L. San Emeterio, P. T. Sanz, "Improvement in Transient Piezoelectric Responses of NDE Transceivers Using Selective Damping and Tuning Networks", IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, Vol. 47, No. 4 pp. 826-835, July 2000.
- [RET02] N. Retdian,, S. Takagi, N. Fujii, "Voltage controlled ring oscillator with wide tuning range and fast voltage swing", Proceedings of the IEEE Asia-Pacific Conference on ASIC, pp. 201 – 204, Aug. 2002.
- [RIC03] J. F. Richard, B. Lessard, R. Meingan, S. Martel, Y. Savaria, "High Voltage Interfaces for CMOS/DMOS technologies", IEEE NWCAS, pp. 93-96, Jun 2003.
- [RIC04] J-F. Richard, Y. Savaria, "High Voltage Charge Pump Using Standard CMOS Technology", IEEE NEWCAS 2004, pp.317-320, June 2004.
- [SAH05] J. Saheb, J. Richard, R. Meingan, M. Sawan, Y. Savaria, "System Integration of High Voltage Electronic MEMS Actuators", IEEE NEWCAS2005, pp. 155-158, June 2005.
- [SAN04] J. L. San Emeterio, A. Ramos, P. T. Sanz, A. Ruíz and A. Azbaid, "Modeling NDT piezoelectric ultrasonic transmitters", Ultrasonics, Vol. 42, pp. 277-281, April 2004.
- [SHI00] J. Shin, I. Chung, "A New Charge Pump Without Degradation in Threshold Voltage Due to Body Effect", IEEE Journal of Solid-State Circuits, Vol.



- 35, No. 8, pp 1227– 1230, Aug. 2000.
- [SIR00] M. Siripruchyanun, P. Wardkein, W. Sangpisit, “A simple pulse width modulator using current conveyor”, Proceedings of the TENCON 2000, Vol.1, pp. 452 – 457, Sept. 2000.
- [SIU00] K. Siu, Y. Lee, “A novel high-efficiency flyback power-factor-correction circuit with regenerative clamping and soft switching”, IEEE Tran. Circuits Syst. I, Vol. 47, pp. 350 – 356, March 2000.
- [STO88] S. Storti, f. Consiglieri, m. Paparo, “A 30-A 30V DMOS Motor Controller and Driver”, IEEE Journal of Solid-State Circuits, Vol. 23, No. 3, pp. 1394– 1402, Dec.1988.
- [TAN97] T. Tanzawa, T. Tanaka, “A Dynamic Analysis of the Dickson Charge Pump Circuit”, IEEE Journal of Solid-State Circuits, Vol. 32, No. 8, pp. 1231– 1240, Aug.1997.
- [UEN91] F. Ueno, T. Inoue, I. Harada, “Emergency Power Supply for Small Computer Systems”, IEEE ISCAS’91, pp. 1065-1068, June 1991.
- [VAL94] V. Valencic, H. Ballan, P. Deval, B. Hochet, M. Declercq, “50-V LCD driver integrated in standard 5-V CMOS process”, IEEE Proceedings Custom Integrated Circuits Conference, pp.578 - 581, May 1994.
- [WU98] J. Wu, K. Chang, “MOS Charge Pumps for Low-Voltage Operation” IEEE Journal of Solid-State Circuits, Vol. 33, No. 4, pp. 592– 597, April.1988.
- [YAO01] K. Yao, F.C Lee, “A novel resonant gate driver for high frequency

synchronous buck converter”, IEEE APEC, Vol. 1, pp. 280 – 286, March 2001.

- [ZHA03] Q. Zhao, F.C. Lee, “High-efficiency, high step-up DC-DC converters”, IEEE Transactions on Power Electronics, Vol. 18, No. 1, pp. 65 – 73, January 2003.
- [ZUL03] E. Zulueta, T. Rico, J. M. Gonzalez de Durana, “Hybrid modeling of open loop dc-dc converters”, Revista Facultad de Ingeniería, U.T.A. (Chile), Vol. 11, No. 2, pp. 41-47, 2003.

## ANNEXE A

### LA TECHNIQUE DE LA GRILLE FLOTTANTE

Par définition, une grille flottante est un nœud de poly silicium totalement entouré de dioxyde de silicium ( $\text{SiO}_2$ ) qui sert à garder indéfiniment toute charge qui se trouve sur la grille. Dans plusieurs applications, toute capacité connectée à la grille d'un transistor CMOS résulte en la création d'une grille flottante, qui sert entre autre à programmer une mémoire non-volatile EPROM ou Flash. En effet, pour la programmation de ces mémoires, trois méthodes sont souvent utilisées. La première méthode est la conductance par le rayon ultraviolet *UV Conductance* basée sur l'exposition de la grille flottante aux rayonnements UV pendant quelque dizaine de minutes afin de décharger la grille flottante de ses libres électrons trous à travers le  $\text{SiO}_2$  [1].

La deuxième méthode est l'injection de charge par effet Tunnel *Fowler Nordheim*, qui consiste à appliquer une différence de potentiel importante entre la grille de commande et le canal d'un transistor MOS pour que les porteurs présents à la surface de celui-ci puissent traverser, par effet tunnel, la barrière de potentiel de l'oxyde entourant la grille flottante [2].

La troisième méthode s'appuie sur l'injection de porteurs hautement énergétiques *Hot-carrier injection*, supérieurs à la barrière de potentiel de l'oxyde de la grille flottante, générés par l'application d'une différence de potentiel importante entre le drain et la grille de commande d'un transistor MOS [3].

La grille flottante est utilisée dans la conception des circuits analogiques et numériques à faible tension d'alimentation, pour la correction de la tension de décalage d'entrée d'un amplificateur opérationnel [4][5].

Dans toutes les applications mentionnées auparavant, la technique de la grille flottante n'est pas utilisée pour protéger et amorcer la grille d'un transistor DMOS. Dans ce chapitre, nous avons présenté aussi le principe de base de la grille flottante, ainsi que des résultats expérimentaux concernant la nouvelle méthode de protection de la grille du transistor DMOS, basée sur la technique de la grille flottante définie dans le chapitre précédent.

### **1.A Principe de base de la grille flottante**

D'abord, la grille d'un transistor basé sur la grille flottante a une impédance infinie, donc beaucoup plus grande que celle d'un transistor standard CMOS. En effet, cette impédance infinie évite tout courant de passer à travers cette grille.

La figure A.1 montre le dessin des masques d'un transistor HVPMOS basé sur la technique de la grille flottante. La grille supérieure est conçue d'une couche *polycap* et joue le rôle d'une grille de contrôle de ce transistor, alors que la grille inférieure est conçue d'une couche *polygate* et joue le rôle la grille flottante. Elle est totalement inondée dans une couche dioxyde de silicium ( $\text{SiO}_2$ ) servant à garder toute charge infiniment.

Cependant, la couche d'oxyde mince de la grille flottante est deux fois plus épaisse que celle du transistor standard. En plus, une autre couche d'oxyde, plus épaisse que la première, est implémentée entre les deux couches de Poly-silicone afin de supporter les signaux de haute tension appliqués sur la grille de contrôle.

En transférant une quantité de charge de la grille flottante ou vers elle, la valeur de la tension de seuil du transistor HVDMOS peut augmenter ou diminuer; cette tension peut être exprimée par :

$$V_{th}^{cg} = V_{th0}^{cg} - \frac{Q_{fg}}{C_{cg}} \quad (A.1)$$

tel que  $Q_{fg}$  est la charge sur la grille flottante,  $V_{th0}^{cg}$  est la tension de seuil du transistor par rapport à la grille flottante et  $C_{cg}$  est la capacité formée par les deux Poly silicium [6].

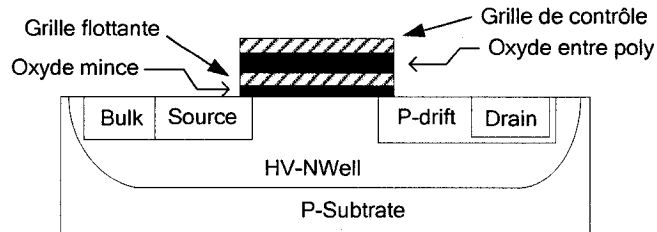


Figure A.1. : Dessin des masques d'un transistor HV PMOS à grille flottante.

La structure de ce transistor HVDMOS à grille flottante possède plusieurs capacités parasites comme il est montré dans son modèle capacitif à la figure A.2. En fait, la résistance  $R_{ldd}$  représente la résistance du drain prolongé à faible dopage quand le transistor fonctionne dans son régime linéaire. Aussi, la diode placée entre le drain et le substrat local est formée par les jonctions internes drain/HV-NWell. Étant donné que physiquement, la source des transistors haute tension est connectée à son substrat local,

cette diode interne sert à transférer la charge du drain vers la source. En mode de saturation, les capacités les plus importantes en termes de valeur sont les capacités drain-HVNwell  $C_{fb}$  et grille drain  $C_{fd}$  [7]. Habituellement, toutes ces capacités parasites servent au transfert des charges entre les nœuds du transistor, mais les grilles flottantes et de contrôle dominant ce transfert.

S'il y a une charge initiale  $Q_{fg}$  sur la grille flottante, en appliquant la loi des nœuds à la figure 2.A, la tension sur la grille flottante peut être exprimée par :

$$V_{fg} = \frac{C_{fc} V_{cg} + C_{fd} V_d + \left( C_{fb} + C_{fs} + \frac{C_{fsub} C_d}{C_{fsub} + C_d} \right) V_s + Q_{fg}}{C_{som}} \quad (A.2)$$

tel que  $C_{fc}$ ,  $C_{fs}$ ,  $C_{fsub}$ ,  $C_d$  et  $C_{som}$  sont respectivement les capacités entre la grille de contrôle grille flottante, la grille flottante source, la grille flottante canal et la grille flottante région d'appauvrissement, et  $C_{som} = C_{fc} + C_{fs} + C_{fd} + C_{fb} + (C_{fsub} C_d / C_{fsub} + C_d)$ .

De même, les tensions  $V_{cg}$ ,  $V_s$ ,  $V_b$  et  $V_d$  sont respectivement les tensions appliquées sur la grille de contrôle, la source, le substrat local et le drain tel, que  $V_s \equiv V_b'$ .

Cependant, le courant d'un transistor HVDMOS à grille flottante, en négligeant l'effet de second ordre, est donné par l'équation suivante :

$$I_D = \frac{\beta}{2} [(V_{fg} - V_s) - V_T]^2 \quad (A.3)$$

tel que  $\beta = \mu_0 C_{ox}(W/L)$  est le facteur de conductivité de ce transistor et  $V_T$  est la tension de seuil par rapport à la grille de contrôle. Aussi,  $V_T = k V_{th}^{cg}$  et  $\beta = \beta_{cg}/k$  et en supposant que  $V_s \equiv V_b' = 0$  V, la tension à la grille flottante peut être exprimée par :

$$V_{fg} = k \left( V_{cg} + \frac{C_{fd}}{C_{fc}} V_{ds} + \frac{Q_{fg}}{C_{fc}} \right) \quad (\text{A.4})$$

tel que  $k = C_{fc}/C_{som}$ , est le coefficient de couplage relatif au nœud de la grille de contrôle.

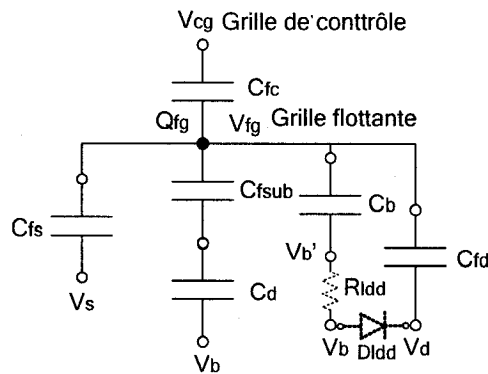


Figure A.2. : Modèle capacitive du transistor HVP MOS à grille flottante.

En remplaçant  $V_{fg}$  par sa valeur dans l'équation (A.3), le courant peut être décrit par :

$$I_D = \frac{\beta_{cg}}{2} k \left( V_{cg} + \frac{C_{fd}}{C_{fc}} V_{ds} - V_{th} + \frac{Q_{fg}}{C_{fc}} \right)^2 \quad (\text{A.5})$$

À cause de la capacité entre la grille de contrôle et la grille flottante, donc même si ce transistor entre dans sa région de saturation, le courant du drain  $I_D$  continue à augmenter proportionnellement à la tension appliquée sur le drain. De même, en régime de saturation, la transconductance de ce transistor, qui est égale à  $(k\beta_{cg}[V_{cg} + (C_{fd}/C_{fc})V_{ds} - V_{th}^{cg}])$ , augmente avec  $V_{ds}$ .

### References:

- [1] Y. Berg, T.S. Lande, and O. Naess, "Programming floating gate circuits with UV-activated conductances", IEEE TCASII, Vol. 48, pp.12 -19, Jan 2001.

- [2] V.N. Kynett, A. Baker, M.L. Frandrich, G.P. Hoekstra, O. Jungroth, J.A. Kreifels, S. Wells, and M.D. Winston, "An insystem reprogrammable 32 K x 8 CMOS flash memory", IEEE J. Solid-State Circuits, Vol. 23, pp. 1157-1162, Oct. 1988.
- [3] R. R. Harrison, J. A. Bragg, P. Hasler, B. A. Minch, and S. P. Deweerth, "A CMOS programmable analog memory-cell array using floating-gate circuits", IEEE TCASII, Vol. 48, pp.4 -11, Jan 2001.
- [4] P. Hasler, B.A. Minch, C. Diorio, "An auto zeroing floating-gate amplifier", IEEE TCASII, Vol. 48, pp. 74 – 82, Jan 2001.
- [5] T. S. Lande, D. T. Wisland, T. Soether, Y. Berg, "FLOGIC-Floating-gate logic for low-power operation", IEEE ICECS, Vol.2, pp. 1041-1044, 1996.
- [6] G. Campardo, R. Micheloni, "Architecture of non volatile memory with multi-bit cells", Elsevier Science, Microelectronic Engineering, Vol. 59, pp. 173-181, Nov. 2001.
- [7] H. Ballan, M. Declercq, "High voltage devices and circuits in standard CMOS technologies", Kluwer Academic Publishers, Netherlands, 1999.



